



УНИВЕРЗИТЕТ У НОВОМ САДУ  
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА У  
НОВОМ САДУ



Ђорђе Докић

# Једно решење гигабитног LAN спрежног подсистема у FPGA

ДИПЛОМСКИ РАД

- Основне академске студије –

Нови Сад, 2014



## КЉУЧНА ДОКУМЕНТАЦИЈСКА ИНФОРМАЦИЈА

Редни број, РБР:			
Идентификациони број, ИБР:			
Тип документације, ТД:	Монографска документација		
Тип записа, ТЗ:	Текстуални штампани материјал		
Врста рада, ВР:	Завршни (Bachelor) рад		
Аутор, АУ:	Ђорђе Докић		
Ментор, МН:	др Драган Самарџија		
Наслов рада, НР:	Једно решење гигабитног LAN спрежног подсистема у FPGA		
Језик публикације, ЈП:	Српски / латиница		
Језик извода, ЈИ:	Српски		
Земља публиковања, ЗП:	Република Србија		
Уже географско подручје, УГП:	Војводина		
Година, ГО:	2014.		
Издавач, ИЗ:	Ауторски репринт		
Место и адреса, МА:	Нови Сад; трг Доситеја Обрадовића 6		
Физички опис рада, ФО: (поглавља/страна/ цитата/табела/слика/графика/прилога)	7/33/0/6/25/0/0		
Научна област, НО:	Електротехника и рачунарство		
Научна дисциплина, НД:	Рачунарска техника		
Предметна одредница/Кључне речи, ПО:	FPGA, virtex 5, Xilinx, VHDL, ethernet		
УДК			
Чува се, ЧУ:	У библиотеци Факултета техничких наука, Нови Сад		
Важна напомена, ВН:			
Извод, ИЗ:	У овом раду реализовано је једно решење гигабитног LAN спрежног подсистема у FPGA. Циљ реализације је обезбедити двосмерну размену података између два уређаја путем етернет мреже.		
Датум прихватања теме, ДП:			
Датум одбране, ДО:			
Чланови комисије, КО:	Председник:	др Јелена Ковачевић	
	Члан:	др Иштван Пап	Потпис ментора
	Члан, ментор:	др Драган Самарџија	



## KEY WORDS DOCUMENTATION

Accession number, <b>ANO:</b>		
Identification number, <b>INO:</b>		
Document type, <b>DT:</b>	Monographic publication	
Type of record, <b>TR:</b>	Textual printed material	
Contents code, <b>CC:</b>	Bachelor Thesis	
Author, <b>AU:</b>	Đorđe Dokić	
Mentor, <b>MN:</b>	Dragan Samardzija, PhD	
Title, <b>TI:</b>	One solution 1Gbit LAN interconnecting subsystem in FPGA	
Language of text, <b>LT:</b>	Serbian	
Language of abstract, <b>LA:</b>	Serbian	
Country of publication, <b>CP:</b>	Republic of Serbia	
Locality of publication, <b>LP:</b>	Vojvodina	
Publication year, <b>PY:</b>	2014	
Publisher, <b>PB:</b>	Author's reprint	
Publication place, <b>PP:</b>	Novi Sad, Dositeja Obradovica sq. 6	
Physical description, <b>PD:</b> (chapters/pages/ref./tables/pictures/graphs/appendices)	7/33/0/6/25/0/0	
Scientific field, <b>SF:</b>	Electrical Engineering	
Scientific discipline, <b>SD:</b>	Computer Engineering, Engineering of Computer Based Systems	
Subject/Key words, <b>S/KW:</b>	FPGA, virtex 5, Xilinx, VHDL, ethernet	
<b>UC</b>		
Holding data, <b>HD:</b>	The Library of Faculty of Technical Sciences, Novi Sad, Serbia	
Note, <b>N:</b>		
Abstract, <b>AB:</b>	This paper describes one solution of Gigabit LAN subsystem in FPGA. The goal of this implementation is to provide two-way exchange of data between two devices via an Ethernet network.	
Accepted by the Scientific Board on, <b>ASB:</b>		
Defended on, <b>DE:</b>		
Defended Board, <b>DB:</b>	President:	Jelena Kovacevic, PhD
	Member:	Istvan Pap, PhD
	Member, Mentor:	Dragan Samardzija, PhD
		Menthor's sign

## **Zahvalnost**

Želeo bih da se zahvalim RT-RK institutu na omogućenim uslovima za izradu ovog rada.

Posebnu zahvalnost želeo bih odati mentoru, dr Draganu Samardžiji, na pomoći prilikom izrade završnog rada.

Za posvećenost i odvojenom vremenu oko izrade završnog rada veliku zahvalnost dugujem Saši Vukosavljevu.

Na kraju, se zahvaljujem Nikoli Pilji koji je radio drugi deo zadatka i svima onima koji su na bilo koji način doprineli izradi ovog završnog rada.

Novi Sad, 2014.

Đorđe Dokić

# **SADRŽAJ**

1.	Uvod .....	6
2.	Teorijske osnove.....	8
2.1	Eternet .....	8
2.1.1	Eternet protokol .....	9
2.1.2	Slanje podataka preko ethernet mreže i detekcija sudara .....	10
2.1.3	Ethernet okviri .....	11
2.1.3.1	Jednosmerna komunikacija eterneta .....	12
2.1.3.2	Dvosmerna komunikacija eterneta .....	12
2.1.4	Brzine ethernet mreža.....	12
2.1.4.1	Gigabitni ethernet.....	13
2.2	Programabilne sekvencijalne mreže .....	14
2.3	Razvojno okruženje .....	15
2.4	VHDL .....	17
3.	Koncept rešenja .....	19
3.1	Razmena podataka .....	20
3.1.1	Slanje podataka.....	20
3.1.2	Prijem podataka .....	21
4.	Implementacija .....	22
4.1	dcm.vhd.....	23
4.2	ROM.xco.....	24
4.3	send.vhd .....	24
4.4	receive.vhd .....	25
4.5	test.vhd .....	26
4.6	top.vhd .....	27
4.7	top.ucf .....	27
5.	Rezultati.....	28
6.	Zaključak .....	31
7.	Literatura .....	33

## **SPISAK SLIKA**

Slika 1. – Prenos šifrovanih podataka.....	6
Slika 2. – Lokalna mreža .....	9
Slika 3. – Eternet protokol .....	9
Slika 4. – Virtex-5 LX50 razvojna ploča.....	15
Slika 5. – Blok dijagram .....	16
Slika 6. – RJ-45 konektor .....	17
Slika 7. – Osnovni blok projektovanja digitalnog sistema .....	18
Slika 8. – Eternet interfejs.....	19
Slika 9. – Eternet čip.....	20
Slika 10. – Komunikacija.....	20
Slika 11. – Tok slanja podataka .....	21
Slika 12. – Tok slanja šifrovanih podataka .....	21
Slika 13. – Tok prijema podataka .....	21
Slika 14. – Implementacija .....	22
Slika 15. – Prenos podataka .....	23
Slika 16. – Primer generisanja ROM memorija.....	24
Slika 17. – send modul.....	25
Slika 18. – receive modul .....	26
Slika 19. – testiranje validnosti primljenih podataka.....	26
Slika 20. – Primer konfiguracione datoteke.....	27
Slika 21. – Testiranje sa dva razvojna sistema .....	28
Slika 22. – Testiranje pomoću programskog alata Wireshark .....	29
Slika 23. – Testiranje slanja podatka veličine 512 bajtova.....	29
Slika 24. – Statistika uspešno poslatih i primljenih paketa.....	30
Slika 25. – Eternet komunikacija sa eternet generatorom jezgra.....	31

## **SPISAK TABELA**

Tabela 1. - Eternet okvir .....	11
Tabela 2. - Bitsko vreme .....	13
Tabela 3. - Veliki okviri.....	14
Tabela 4. - Taktovi na ploči .....	17
Tabela 5. – Povezivanje uređaja .....	17
Tabela 6. – Utrošeni resursi .....	30

## **SKRAĆENICE**

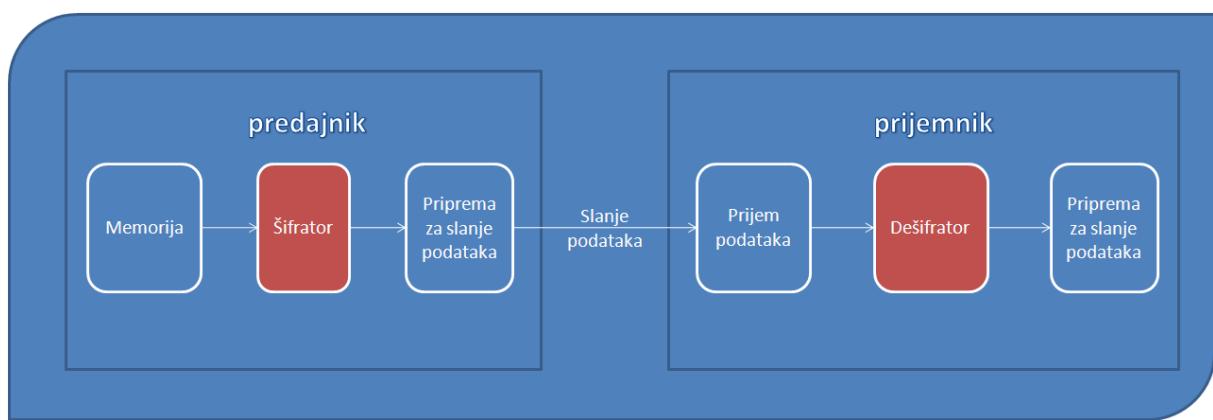
<b>OSI</b>	-	<i>Open Systems Interconnection</i> , referentni model za otvoreno povezivanje sistema
<b>CSMA/CD</b>	-	<i>Carrier Sense Multiple Access/Collision Detection</i> , višestruki pristup sa osluškivanjem nosioca uz otkrivanje sukobljavanja
<b>MII</b>	-	<i>Media Independent Interface</i> , sprega nezavisna od medijuma
<b>GMII</b>	-	<i>Gigabit Media Independent Interface</i> , gigabitna sprega nezavisna od medijuma
<b>RGMII</b>	-	<i>Reduced Media Independent Interface</i> , redukovana gigabitna sprega nezavisna od medijuma
<b>IP</b>	-	<i>Internet Protocol</i> , internet protokol
<b>FPGA</b>	-	<i>Field Programming Gate Array</i> , lokalne programabilne mreže
<b>LAN</b>	-	<i>Local Area Network</i> , lokalne mreže
<b>SFD</b>	-	<i>Start of Frame Delimiter</i> , početak okvira
<b>FCS</b>	-	<i>Frame Check Sequence</i> , provera sekvence okvira
<b>MAC</b>	-	<i>Media Access Control</i> , kontrola pristupa mediju
<b>VHDL</b>	-	<i>Very High Speed Integrated Circuit Hardware Description Language</i> , jezik za opis fizičke arhitekture
<b>RTL</b>	-	<i>Real Time System</i> , sistem za rad u realnom vremenu
<b>ROM</b>	-	<i>Read Only Memory</i> , memorija samo za čitanje
<b>DCM</b>	-	<i>Digital Clock Manager</i> , menadžer digitalnog signala takta

## 1. Uvod

U ovom radu realizovano je jedno rešenje gigabitnog LAN (engl. *Local Area Network*) sprežnog sistema. Rešenje podrazumeva uspesno slanje i prijem podataka na dve Xilinx Virtex-5 LX50 razvojne ploče putem ethernet mreže. Krajnji rezultat rada predstavlja upoređivanje poslatih podataka sa podacima koji su primljeni.

Motivacija za rad je da se omogući dodavanje modula za šifrovanje podataka na drugom nivou OSI referentnog modela (engl. *Open System Interconnection*), kao i algoritam za parsiranje IP toka podataka po OSI slojevima u FPGA.

Na slici 1. je prikazan prenos šifrovanih podataka:



Slika 1. - Prenos šifrovanih podataka

Zajedno sa uvodom rad se sastoji iz sedam poglavlja:

- Teorijske osnove – pokrivaju osnove ethernet mreža i opis razvojnog okruženja.

- Koncept rešenja – opisuje module, njihovu vezu i namenu u radu.
- Implementacija – predstavlja opis realizacije rada.
- Rezultati – bave se ispitivanjem i verifikacijom dobijenog rešenja.
- Zaključak – kratak pregled onoga što je realizovano u ovom radu i opis ideja za unapređenje rada.
- Literatura – spisak korišćene literature u radu.

## **2. Teorijske osnove**

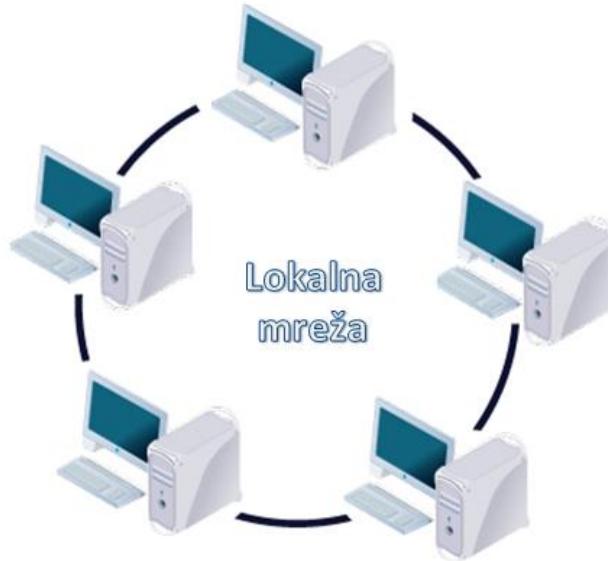
### **2.1 Eternet**

Eternet mreža je lokalna mreža (engl. *Local Area Network*) koja prenosi podatke između ethernet stаница. Adapter (sprega) koji omogućava povezivanje računara na mrežu nazivamo ethernet kartica. Rad ethernet kartice kontroliše programska podrška (engl. *driver*) koja se izvršava na računaru.

Bilo koji uređaj koji preko ethernet kartice učestvuje u mrežnom saobraćaju nazivamo ethernet stanica. Ethernet stанице su priključene na zajednički signalni sistem koji se zove medijum (primer: koaksijalni kabl). Ethernet signali se kroz medijum šalju serijski, bit po bit. Svaki bit je predstavljen talasom električnog napona - signalom. Ne postoji centralni kontroler koji reguliše saobraćaj između ethernet stаница. Svaka ethernet stanica učestvuje u mrežnom saobraćaju samostalno - nezavisno od ostalih stаница na mreži.

Ethernet medijumi su pasivni, što znači da im nije potrebno napajanje, a mreža može da „padne“ jedino ako je medijum fizički presečen, u kratkom spoju ili nepravilno zatvoren.

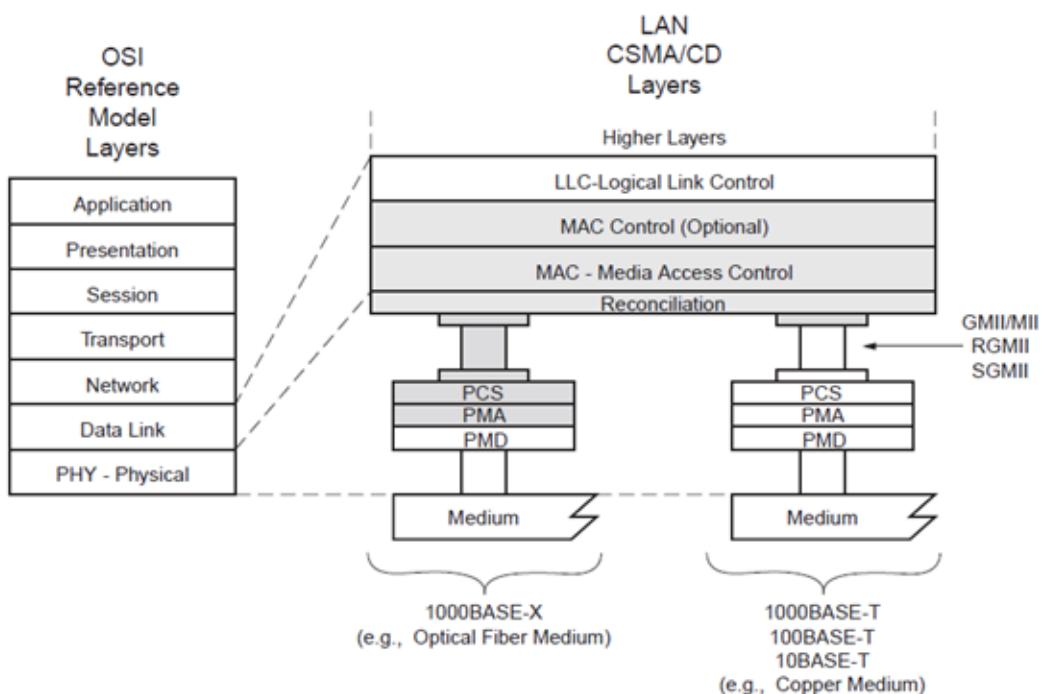
Na slici 2 prikazan je primer lokalne računarske mreže:



Slika 2. - Lokalna mreža

### 2.1.1 Eternet protokol

Eternet definišu tehnologije fizičkog i sloja veze referentnog OSI modela što je prikazano na slici 3:



Slika 3. – Eternet protokol

MII (engl. *Media Independent Interface*) – sprega nezavisna od medijuma. Podržava brzine od 10 Mbit/s i 100 MBit/s

GMII (engl. *Gigabit Media Independent Interface*) – gigabitna sprega nezavisna od medijuma. Koristi se za brzine od 1 GBit/s.

RGMII (engl. *Reduced Media Independent Interface*) – redukovana gigabitna sprega nezavisna od medijuma. Osnovna razliku u odnosu na GMII je sto se umesto paralelne veze koristi serijska.

SGMII (engl. *Serial Gigabit Media Independent Interface*) – serijska gigabitna sprega nezavisna od medijuma.

Eternet koristi CSMA/CD (eng. *Carrier Sense Multiple Access/Collision Detection*), a to znači da svaki čvor nadgleda eter sa ciljem da odredi da li je on zauzet. Čvor koji želi da preda podatke čeka na pasivan uslov etera, pa nakon detekcije pasivnog uslova počinje sa slanjem poruke. Na žalost, pri ovome može da dodje do kolizije u situaciji ako dva čvora počinju sa istovremenom predajom. Da bi se na neki način uspešno rešio ovaj problem čvorovi u toku predaje mora da nadgledaju stanje na kablu. Kada se desi kolizija oba čvora prestaju sa predajom okvira i predaju jamming signal. Na ovaj način se informišu svi čvorovi na mreži da je došlo do kolizije. Svaki čvor nakon toga čeka određeni period pre nego što pokuša sa novom retransmisijom. Imajući u vidu da svaki čvor ima slučajno određeno (dodeljeno) vreme za ponovnu predaju, verovatnoća da će doći do ponovne kolizije je veoma mala. Kolizija u principu smanjuje brzinu prenosa podataka. Svaki čvor na mreži mora biti u stanju da detektuje koliziju i biti sposoban za istovremenu predaju i prijem.

### **2.1.2 Slanje podataka preko ethernet mreže i detekcija sudara**

Slanje podataka se odvija na sledeći način:

1. Okvir je spreman za slanje.
2. Proverava se je li medijum slobodan. Ako nije, čeka se dok ne bude slobodan. Na vreme čekanja se još dodaje vreme koliko traje razmak između dva ethernet okvira.
3. Okvir se šalje.
4. Provera da li se dogodio sudar. Ako jeste, ide se na proceduru detekcije sudara.
5. Poništavaju se brojači ponovljenog slanja i završava se prenos okvira.

Procedura detekcije sudara:

1. Oba uređaja koji šalju istovremeno nastavljaju slanje okvira dok se ne dostigne minimalno vreme okvira.
  2. Poveća se brojač ponovljenog slanja.
  3. Proverava se je li dosegnut maksimalan broj pokušaja slanja okvira. Ako jeste, prekida se pokušaj slanja.
  4. Na osnovu broja sudara i nekog slučajnog broja računa se interval čekanja.
  5. Ulazi se u glavnu proceduru, korak 1.
- .

### 2.1.3 Eternet okviri

Podaci koji se šalju eternetom su pakovani u okvire (engl. *frame*). Format okvira je za većinu eternet tehnologija isti pa je moguća komunikacija između etermeta različitih brzina i tehnologija. Format ethernet okvira prikazan je u tabeli 1.

Bajtovi	7	1	6	6	2	46-1500	4
Delovi okvira	Najava	Početak	Odredišna adresa	Izvořišna adresa	Dužina /tip	Sadržaj	Provera

Tabela 1. - Eternet okvir

**Najava** (engl. *Preamble*) – Niz 7 okteta koji se sastoje od naizmeničnog ponavljanja 1 i 0 (101010...).

Najava je namenjena sinkronizaciji na nivou bita. Prijemnik koristi ovaj niz od 56 bita kako bi obnovio takt s kojim je dotični okvir poslan. Na taj način se postiže usklađenost takta između predajnika i prijemnika.

**Početak** (engl. *Start of Frame Delimeter*) - Označava početak okvira. Sastoji se od jednog okteta, koji je sličan prethodnim, ali završava sa dve jedinice (10101011).

**Odredišna adresa** (engl. *Destination address*) - MAC adresa prijemnika. Polje je dugo 6 okteta.

**Izvořišna adresa** (engl. *Source address*) - MAC adresa predajnika. Polje je dugo 6 okteta.

**Dužina/Tip** (engl. *Length/Type*) - Polje koje sadrži informacije o tipu okvira koji se šalje ili podatke o dužini polja podataka (data) unutar okvira. Primer: TCP/IP. Ako je vrednost ovog polja manja ili jednak 1500 tada dužina polja označava broj bajtova u sledećem MAC polju podatka. Ako je vrednost tog polja veća ili jednak 1500 tada dužina označava vrstu MAC protokola.

**Provera** (engl. *Frame Check Sequence*) - služi za proveru ispravnosti primljenog okvira. Sastoji se od 4 okteta i nalazi se na kraju okvira.

### **2.1.3.1 Jednosmerna komunikacija eterneta**

Za emitovanje okvira, stanica mora čekati određeno vreme dok nijedna druga stanica ne emituje. Ako druga stanica pokuša poslati podatak u isto vreme doći će do određene vrste "sudara". Tada emitirajuća stanica šalje poseban niz (engl. *jam sequence*) koji će osigurati da sve stanice znaju da je emitovanje neuspelo. Stanica ostaje u stanju mirovanja neko vreme pre ponovnog pokušaja emitovanja. Proces se ponavlja dok se emitovanje ne obavi uspešno.

### **2.1.3.2 Dvosmerna komunikacija eterneta**

Dvosmerna komunikacija (engl. *Full-duplex*) dopušta paru stanica istovremenu izmenu podataka preko veze koja omogućuje nezavisno emitovanje i primanje podataka. Od kada svaka stanica može istovremeno emitovati i primati podatke ukupna proizvodnja takve veze je udvostručena. Stanica od 10Mb/s koja radi u dvosmernom režimu rada osigurava maksimalnu širinu pojasa od 20Mb/s. Dvosmerna komunikacija od 100Mb/s osigurava 200Mb/s širinu pojasa.

Dvosmerna komunikacija omogućuje neke prednosti:

- protok je udvostričen usled istovremenog slanja i primanja
- efikasnost veze poboljšana je eliminacijom potencijalnog "sudara"
- dužina segmenta više nije ograničena

### **2.1.4 Brzine ethernet mreža**

U tabeli 2. prikazane su standardne brzine ethernet mreže kao i vreme koje je potrebno za slanje jednog bita za svaki tip mreže.

Brzina eterneta	Bitsko vreme
10 Mbps	100 ns
100 Mbps	10 ns
1000 Mbps = 1 Gbps	1 ns
10,000 Mbps = 10 Gbps	.1 ns

Tabela 2. - Bitsko vreme

Bitsko vreme – vreme potrebno za slanje jednog bita (obrnutno proporcionalno brzini prenosa).

#### 2.1.4.1 Gigabitni eternet

Gigabitni eternet ima velike prednosti u odnosu na druge tehnologije, a osnovne prednosti su:

- omogućava brzinu prenosa od 1000 Mbit/s.
- potpuno je usklađen s eternetom manjih brzina (10 Mbit/s i 100 Mbit/s).
- podržava više vrsta prenosnih medijuma.

Iako gigabitni eternet u praksi uglavnom koristi dvosmerni način rada, standardom je definisan i naizmenični način rada. Trajanje 512 bita pri brzini od 1 Gbit/s iznosi samo 512 ns, što bi značilo da je dozvoljeni raspon mreže ograničen na samo 20 m. Takvo smanjenje raspona lokalne mreže bilo bi potpuno neprihvatljivo za korisnike. Stoga je za potrebe naizmeničnog načina rada gigabitnog eterнета vreme trajanja fiksnog vremenskog odsečka povećano s 512 bita na 512 bajtova, s čim je omogućen raspon mreže od 200 m. Međutim, minimalna dužina MAC okvira i dalje ostaje 64 bajta (512 bita). Povećanje minimalne dužine MAC okvira na 512 bajtova unelo bi neusklađenost gigabitnog LAN-a s mrežama nižih brzina. Stoga je načinjen kompromis, nazvan produženje nosioca (engl. *carrier extension*). Ako je prilikom slanja MAC okvir kraći od 4096 bita (512 bajtova), fizički sloj zadržava uređaj u stanju slanja i šalje niz posebnih simbola za produženje nosioca, sve do isteka

trajanja vremenskog odsečka. Ti se posebni simboli šalju nakon polja FCS i ne smatraju se delom okvira. Da bi se ublažilo drastično smanjenje propusnosti gigabit eterneta prilikom uzastopnog slanja većeg broja manjih okvira, pri čemu bi svaki okvir bilo potrebno produžiti, koristi se metoda nazvana usnopljavanje okvira (engl. *frame bursting*). U tabeli 3. prikazan je primer velikog okvira (engl. *Jumbo frame*):

9018 bajtova - maksimum veličina okvira							
Bajtovi	7	1	6	6	2	9000	4
Delovi okvira	Najava	Početak	Odredišna adresa	Izvođačna adresa	Dužina /tip	Sadržaj	Provera

Tabela 3. - Veliki okviri

U gigabit eternet LAN-u sa dvosmernim načinom rada koriste se okviri minimalne dužine 64 bajtova, odnosno maksimalne dužine 1518 bajtova, ili okviri maksimalne dužine do 9018 bajtova.

Standard gigabit eterneta gotovo je identičan standardu brzog eterneta (100 mbps). Bitne promene koje je uneo standard IEE 802.3z su sledeće:

Sprega MII zamenjena je spregom GMII. Za razliku od sprege MII, ovo je osmobilno paralelni interfejs. Starija verzija protokola bila je prilagođena paričnom medijumu, ali je novom preporukom proširena i na optičke niti.

## 2.2 Programabilne sekvencijalne mreže

Programabilne sekvencijalne mreže (engl. *Field Programmable Gate Array - FPGA*) predstavlja integrisano kolo projektovano tako da se njegova unutrašnja struktura može konfigurisati od strane krajnjeg korisnika. Definisanje unutrašnje strukture FPGA komponente se vrši pomoću HDL (engl. *Hardware Description Language*) jezika ili šematskih dijagrama. Upotreba FPGA komponenti je višestruka, a osnovna je da se može koristiti za realizaciju bilo koje logičke funkcije.

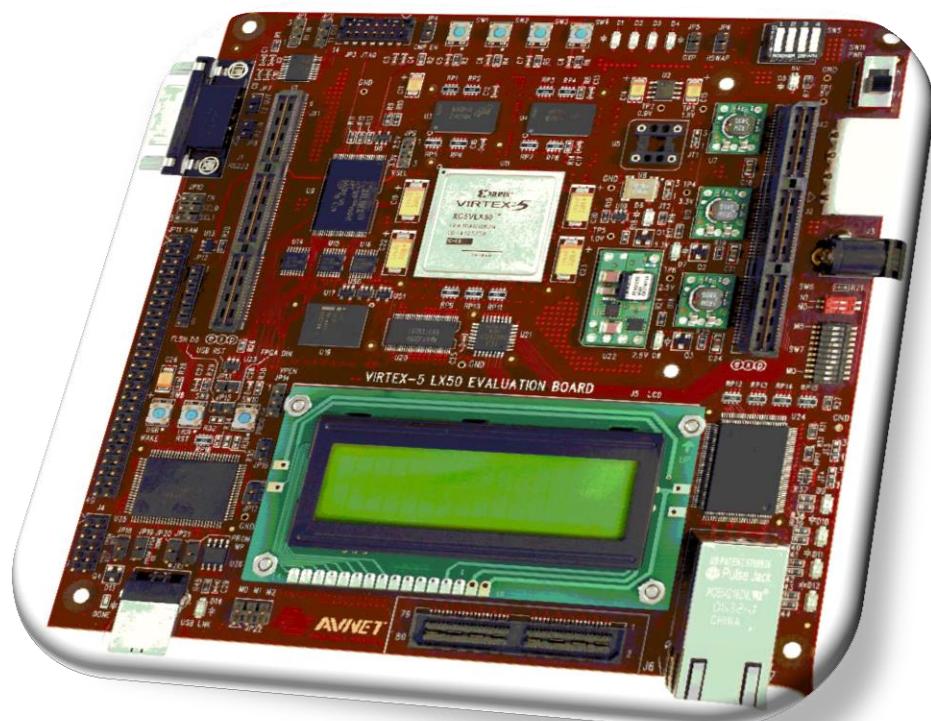
Svaka FPGA komponenta se sastoje od velikog broja identičnih logičkih blokova (ćelija) i veza koje omogućavaju blokovima da budu međusobno povezani. Svaki logički blok, kao nezavisna jedinica, može realizovati bilo koju Bulovu funkciju iz unapred ograničenog skupa

Bulovih funkcija ili jednostavne logičke kapije tipa I, ILI, XOR,... U većini FPGA komponenti logički blokovi se sastoje od memorijskih elemenata koji mogu biti jednostavni flip-flopovi ili složeni memorijski blokovi koji su povezani žicama i programabilnim prekidačima.

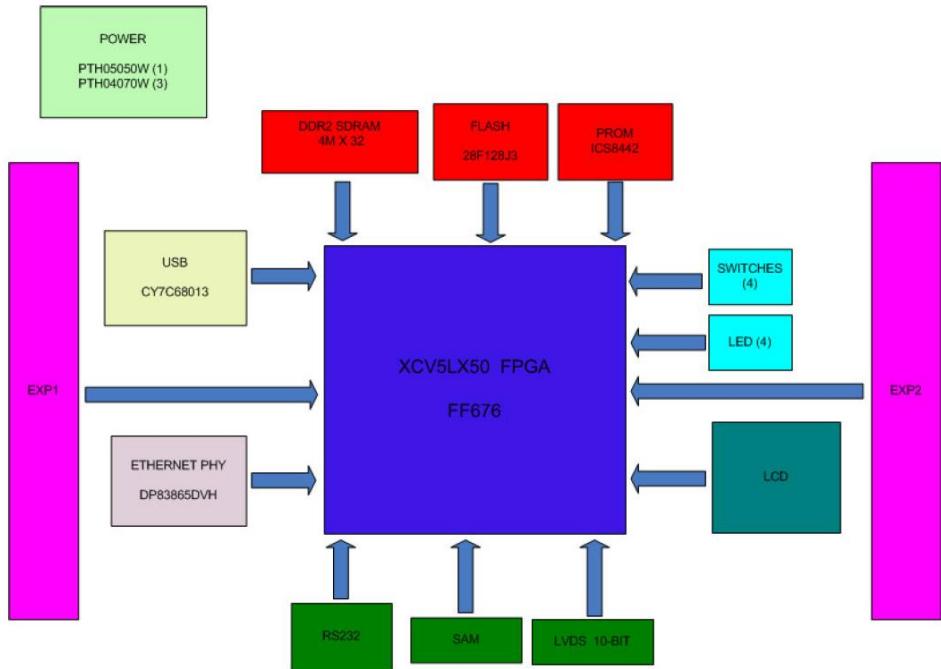
## 2.3 Razvojno okruženje

Xilinx ISE 14.5 (verzija izdata aprila, 2013.) je programska podrška za sintezu i analizu HDL dizajna. Omogućava programeru da prevodi svoje kodove, vrši vremensku analizu, ispituje RTL dijagrame, simulira odziv sistema na različite pobude i podešava uređaj.

U ovom radu korištena je Virtex-5 LX50 razvojna ploča koja je prikazana na slici 4, kao i njen blok dijagram na slici 5.



Slika 4. - Virtex-5 LX50 razvojna ploča



Slika 5. – Blok dijagram

Karakteristike:

- **Ulazno/izlazne konekcije**
  - Dva EXP™ konektora
  - Jedan 0.1” USB konektor
  - Jedan 50-pin 0.1” SAM
  - 80 pin LVDS konektor .
- **Memorija**
  - 64 MB DDR2 SDRAM
  - 16 MB FLASH
- **Komunikacija**
  - RS-232 serijski port
  - USB 2.0
  - 10/100/1000 Ethernet
- **Napajanje**
  - 3.3V, 2.5V, 1.8V i 0.9V voltaža izvedena od eksternih 5V
  - SSTL2 Regulator
- **Podešavanje**
  - XCF32P 32Mbit konfiguracioni PROM
  - Xilinx paralelni kabl IV ili Platform USB kabl za JTAG programiranje i podešavanje
- **Ekran**
  - 2x16 karaktera LCD ekran

Da bi se omogućilo slanje i prijem podataka neophodno je koristiti odgovarajući takt u zavisnosti kojom brzinom se šalju ili primaju podaci.

U tabeli 4. prikazani su taktovi, njihove frekvencije i iglice na ploči.

Za gigabitni ernet koristi se takt od 125 MHz koji je dodeljen od glavnog takta (100 MHz)

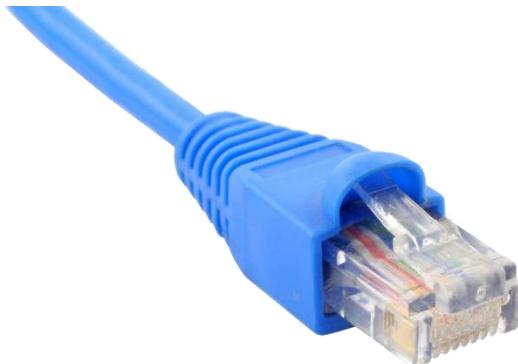
Reference#	Frequency	Derived Interface Clock	Derived Frequency	Virtex-5 pin#
U8	100 MHz	CLK_100MHZ	100 MHz	E18
Y3	24 MHz	USB_IFCLK	30, 48 MHz	E10
Y1	25 MHz	CLK_SYNTH0_P/N	25 – 700 MHz	AB10, AB9
Y1	25 MHz	CLK_SYNTH1_P/N	25 – 700 MHz	AC23, AC22
Y2	25 MHz	GMII_RX_CLK	2.5, 25 MHz	AC8
		GMII_TX_CLK		AC17
		GBE_MCLK	125 MHz	AD8

Tabela 4. - Taktovi na ploči

Standard	Brzina	Medijum	Maksimalna dužina segemnta	Topologija	Konektor
1000 BASE-T	1000 Mbps	UTP kategorije 5, osmožilni, koriste se 4 parice	100 m	Zvezda	RJ-45

Tabela 5. – Povezivanje uređaja

Danas najzastupljeniji ernet konektor je RJ-45, koji je prikazan na slici ispod:



Slika 6. – RJ-45 konektor

## 2.4 VHDL

VHDL (engl. *Very High Speed Integrated Circuit Hardware Description Language*) je standardni jezik za opis digitalnih kola i sistema.

Osnovna namena:

- ❖ Jezik za dokumentaciju
- ❖ Jezik za simulaciju

Savremena primena:

- ❖ Sinteza hardvera

Jezici za opis fizičke arhitekture opisuju celokupan sistem, uključujući i fizičku arhitekturu za izvršenje:

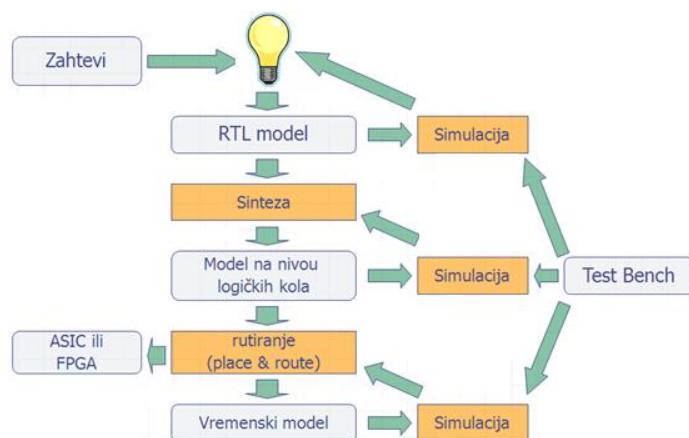
- ❖ Model ponašanja (engl. *Behavioral*)
  - Koja je ulaga sistema? Šta on radi?
- ❖ Strukturni model (engl. *Structural*)
  - Od čega se sistem sastoji?
- ❖ Funkcionalne osobine (engl. *Functional properties*)
  - Kako se sprežemo sa sistemom?
- ❖ Fizičke osobine (engl. *Physical properties*)
  - Koliko je sistem brz?
  - Koja je njegova veličina izražena u  $\text{mm}^2$  ili broju logičkih kapija?

Opis sistema može biti na različitim nivoima apstrakcije

- ❖ Prekidački nivo (engl. *Switch level*), opis prekidačkih osobina tranzistora
- ❖ RTL (engl. *Register Transfer Language*) nivo, modelovanje kombinacionih funkcija i sekvencijalnih logičkih elemenata
- ❖ Nivo instrukcija (engl. *Instruction Set Architecture*) opis funkcionalnog ponašanja procesorskih elemenata

HDL opis se može iskoristiti za:

- ❖ Simulaciju - verifikacija sistema sa analizom performansi
- ❖ Sintezu - prvi korak u proizvodnji fizičke arhitekture

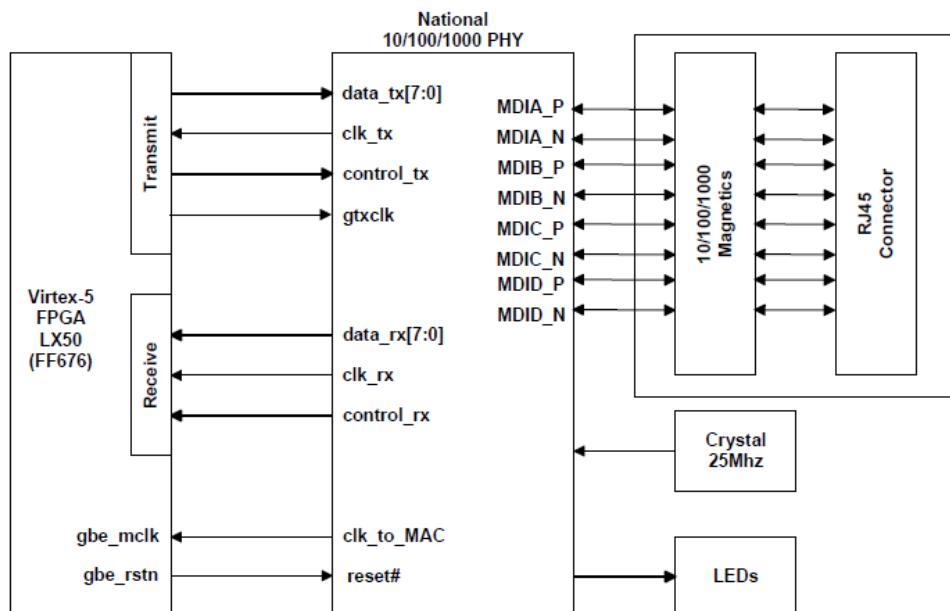


Slika 7. - Osnovni blok projektovanja digitalnog sistema

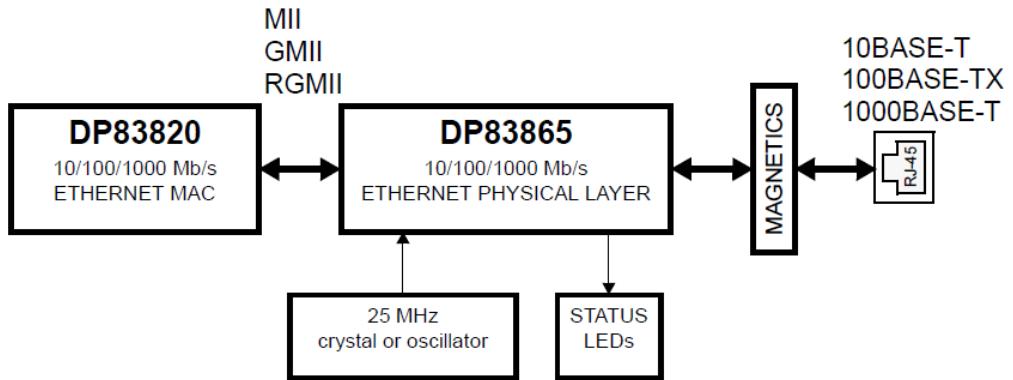
### 3. Koncept rešenja

Gigabitni lan sprežni sistem u FPGA podrazumeva skup svih modula koji obezbeđuju komunikaciju, odnosno dvosmerni prenos podataka, između dve Viretex-5 LX50 FPGA razvojne ploče ili jedne razvojne ploče i računara putem eternet mreže. Pored toga ovi moduli mogu da omogućavaju bezbedan prenos podataka, u smislu da je omogućena ugradnja modula za zaštitu podataka (šifrovanje), detekciju greške na prijemnoj strani, odnosno mogućnost provere upoređivanja podataka sa onima koji se očekuju.

Na slikama 8. i 9. prikazan je eternet interfejs, kao i blok šema eternet čipa. Eternet čip DP83865 podržava protokol 1000 BASE-T, tako da je omogućena brzina od 1Gbit/s, u istovremeno dvosmerenoj komunikaciji (engl. *Full-duplex*).



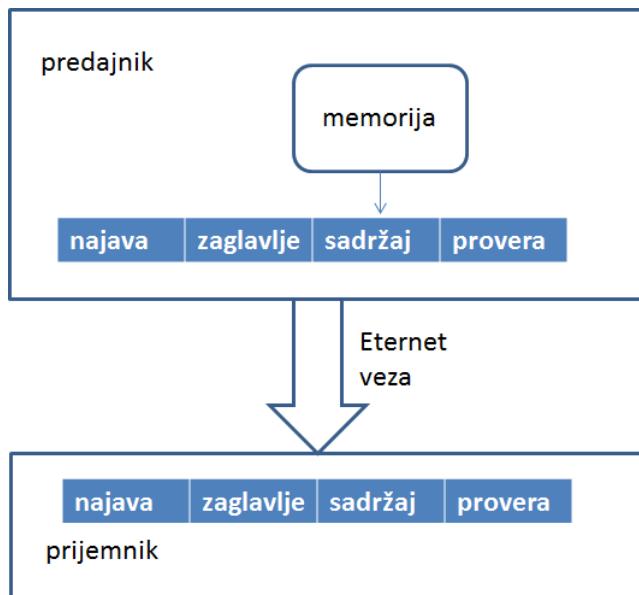
Slika 8. – Eternet interfejs



Slika 9. – Eternet čip

### 3.1 Razmena podataka

Na slici 10. prikazan je način prenosa podataka od predajnika ka prijemniku:



Slika 10. - Komunikacija

Ceo tok se sastoji od dve celine:

- Slanje podataka
- Prijem podataka

#### 3.1.1 Slanje podataka

U prvom koraku uzimaju se podaci iz memorije (u ovom radu za to je korištena ROM memorija). Sledеći korak je obrada podataka, odnosno popunjavanje eternet okvira. U ovom

koraku podaci iz memorije se upisuju u sadržaj okvira, dok se ostala polja popunjavaju na osnovu zadatih početnih vrednosti. Poslednji korak podrazumeva slanje obrađenih podataka po 8 bita preko eternet mreže.

Na slikama 11. i 12. prikazani tokovi slanja podataka:



Slika 11. – Tok slanja podataka



Slika 12. – Tok slanja šifrovanih podataka

Eternet kao protokol nema u sebi opciju zaštite podataka i stoga je omogućen dodatni modul šifrador koji bi primenom određenog algoritma za šifrovanje podataka nadomestio taj nedostatak.

### 3.1.2 Prijem podataka

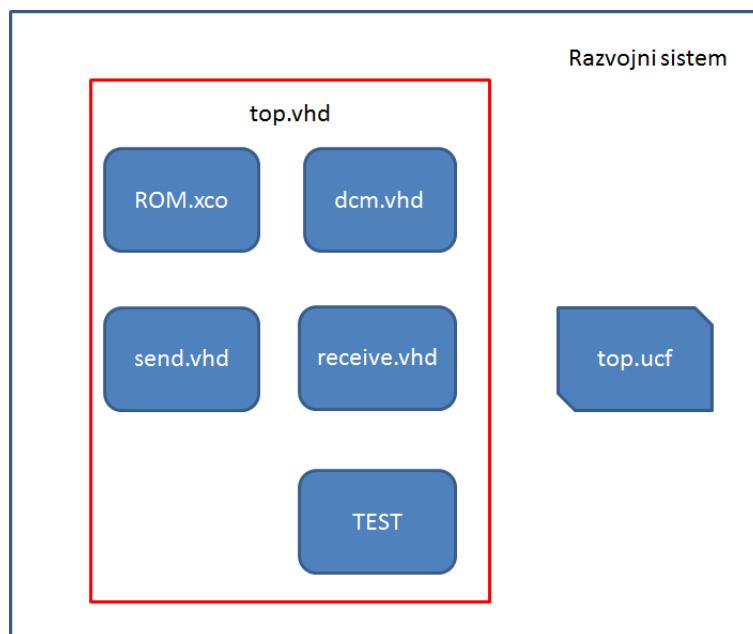
Na prijemnoj strani proces je obrnut nego kod slanja podataka. Prvo se preuzimaju podaci koji su stigli preko eternet mreže. Podaci pristizu u paketima po 8 bita i smeštaju se u memoriju onim redosledom kako stižu. Sledeći korak je obrada tih podataka koja predstavlja sortiranje pristiglih podataka kako bi se mogli uporeediti sa onim podacima koji se šalju (sledeći korak). Poslednji korak je upoređivanje rezultata.



Slika 13. - Tok prijema podataka

## 4. Implementacija

Implementacija rešenja bazira se na korišćenju jezika VHDL u okviru Xilinx ISE 14.5 programske podrške. Demonstracija rešenja je prikazana pomoću dve Viretex-5 LX50 FPGA razvojne ploče i preko programskog alata *Wireshark*. Rešenje se sastoji iz sedam modula koji su prikazani na slici 14.

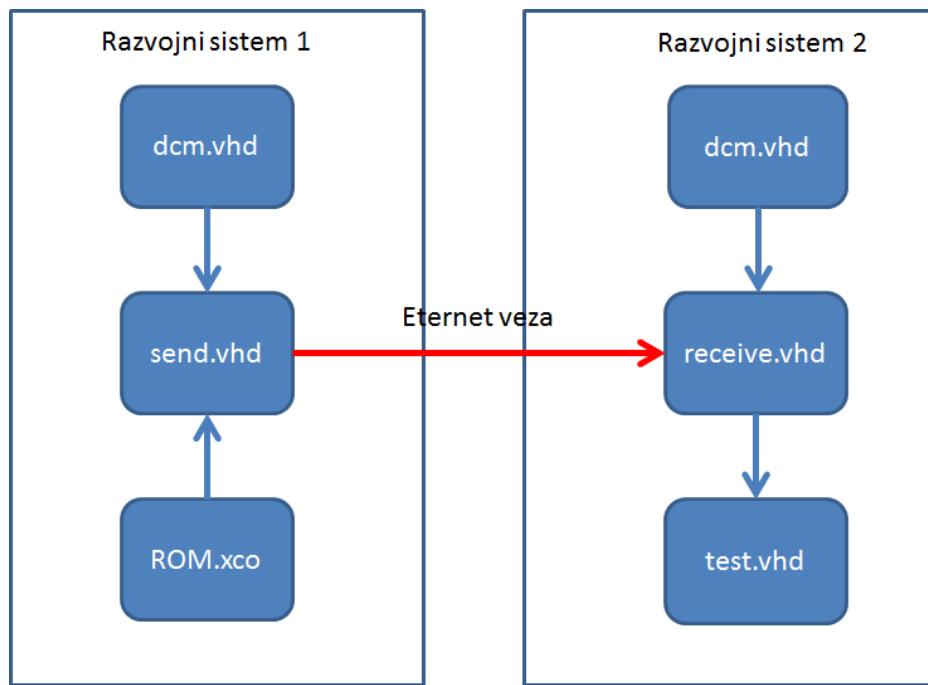


Slika 14. – Implementacija

- dcm.vhd – modul za podešavanje neophodnih taktova i reseta
- ROM.xco – memorija za čuvanje podataka koji se šalju putem mreže
- send.vhd – modul za obradu i slanje podataka
- receive.vhd – modul za prijem podataka

- test.vhd – modul za testiranje očekivanih i pristiglih podataka
- top.vhd – povezivanje svih programskih modula u jednu celinu
- top.ucf – konfiguraciona datoteka

Na slici 15. prikazan je način prenosa podataka sa jednog razvojnog sistema na drugi:



Slika 15. – Prenos podataka

## 4.1 dcm.vhd

Pomocu DCM (engl. *Digital Clock Manager*) modula moguće je ulaznu frekvenciju takta pomnožiti i/ili podeliti kao i fazno pomeriti. U ovom modulu globalni takt frekvencije 100 MHz propusta se kroz DCM kako bi se dobio takt od 125 MHz neophodan za rad ethernet protokola pri brzini od 1 Gbit/s.

Ulagni parametri:

- clk\_100\_i – ulagni takt od 100 MHz
- rst\_i - reset
- clk\_rx\_i – ulagni prijemni takt

Izlazni parametri:

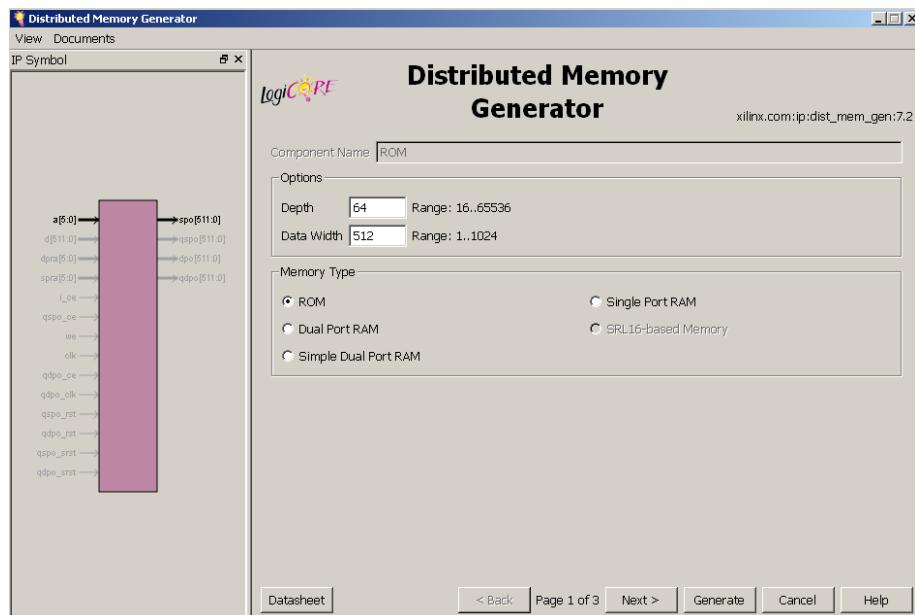
- rst\_n\_o – reset iz DCM modula
- clk\_rx\_o – izlazni prijemni takt od 125 MHz
- clk\_tx\_o – izlazni takt slanja od 125 Mhz
- clk\_crc\_o – takt za crc od 125 Mhz

## 4.2 ROM.xco

Osnovna namena ovog modula je za čuvanje podataka koji će kasnije da se šalju preko eternet mreže.

Konfiguriše se generator jezgra memorije za čitanje (engl. *Read Only Memory*) tako što prvo biramo veličinu adrese i veličinu podatka koji će biti čuvan u memoriji.

Veličina podataka (koji će kasnije biti korišteni za slanje preko eternet mreže) je promenljiva. Podaci mogu biti čuvani u jedan ili više nizova (broj nizova određuje i broj adresa). Na slici 16. prikazan je primer generisanja ROM memorije.



Slika 16.- Primer generisanja ROM memorija

## 4.3 send.vhd

Ovaj modul je podeljen je u nekoliko celina:

- popunjavanje okvira: najava, zaglavljje (odredišna i izvorišna adresa, dužina/tip)
- čitanje podataka iz memorije i smeštanje u sadržaj okvira
- računanje CRC-a
- slanje podataka po 8 bita

Prva faza obuhvata unošenje najave i zaglavlja. Najava se odbacuje prilikom prijema, ali je neophodna za detekciju novog paketa. Zaglavljje čine odredišna adresa, izvorišna adresa i polje dužina/tip. Na osnovu polja dužina/tip bira se veličina sadržaja ili komunikacioni protokol.

Popunjavanje sadržaja okvira se vrši onim redosledom kako su podaci upisani u ROM memoriji.

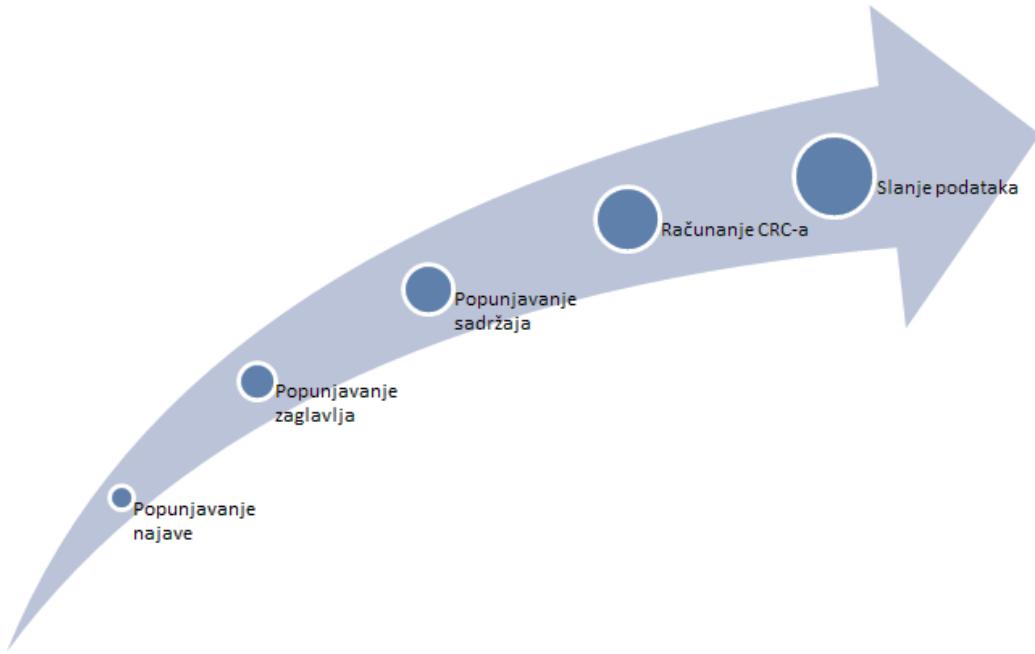
Prema CRC metodi (u radu je korišten CRC32 algoritam), sekvenca bitova se smatra polinomom čiji su koeficijenti samo nule i jedinice. Okvir od k bitova smatra se polinomom stepena k-1, sa članovima  $x^{k-1}$  do 1. Kod CRC-a, pošiljalac i primalac moraju se složiti oko tzv. generatorskog polinoma G(x). Da bi se izračunao kontrolni zbir za okvir od m bitova, okvir mora biti duži od generatorskog polinoma. Namera je da se kontrolni zbir doda na kraj okvira tako da polinom koji predstavlja okvir sa kontrolnim zbirom bude deljiv sa G(x). Ukoliko to nije slučaj, došlo je do greške i zahteva se ponovno slanje okvira.

Polinom koji se koristi u CRC32 algoritmu izgleda ovako:

$$x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$$

Nakon računanja CRC-a, ukoliko nema grešaka salje se ceo okvir. Za brzinu od 1 Gbit/s šalju se podaci po 8 bita, a za slušaj kad je brzina 100 Mbit/s šalje po 4 bita.

Redosled koraka u ovom modulu prikazan je na slici 17.



Slika 17. – send modul

#### 4.4 receive.vhd

Modul se sastoji iz:

- detektovanja i prijema podataka po 8 bita
- računanje CRC-a
- prosleđivanje podataka modulu za testiranje

Kao što je prikazano na slici 18. prijem podataka podrazumeva primanje ernet okvira, ponovo se računa CRC samo ovaj put za podatke koji su stigli fizičkim putem. Prijemnik na osnovu CRC kodne reči određuje da li je paket sa greškom ili ne.

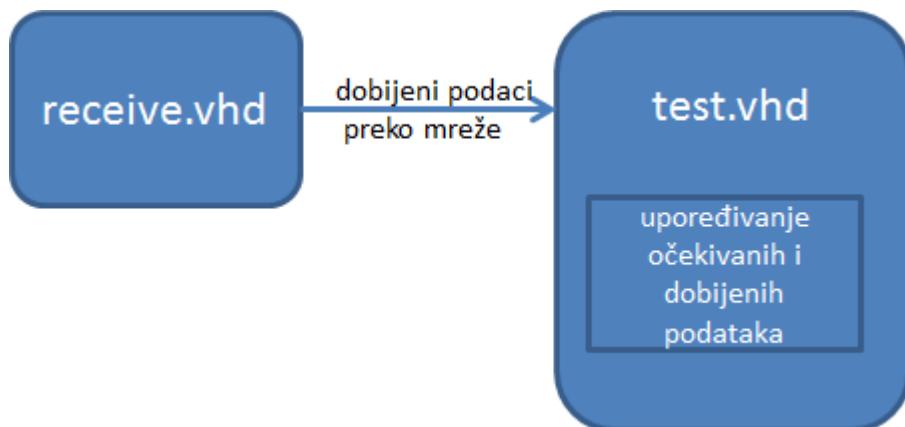


Slika 18. – receive modul

## 4.5 test.vhd

Ovaj deo vrši testiranje uspešnosti celog sistema. Iz modula receive.vhd preuzimaju se primljeni podaci i upoređuju se sa podacima koji se očekuju (slika 19).

Broj uspešnih i neuspešnih slanja prikazan je na LCD ekranu na razvojnoj ploči prilikom spustanja bit datoteke na fizičku arhitekturu. Zbog velike brzine pristizanja podataka, preciznija statistika uspešnosti slanja prikazana je preko programskog alata *WireShark* što je detaljnije objašnjeno u poglavljju 5.



Slika 19. – testiranje validnosti primljenih podataka

## 4.6 top.vhd

Ovo je glavni modul koji služi za povezivanje svih modula u jednu celinu. Na osnovu ovog modula kreira se izvršna datoteka top.bit koja se spušta na fizičku arhitekturu.

## 4.7 top.ucf

Konfiguraciona datoteka koji je neophodna kako bi se povezala korisnička sprega sa fizičkom arhitekturom.

Ucf datoteka precizira ograničenja logičkog projektovanja. Na slici 20. prikazan je deo konfiguracione datoteke.

```
NET gtx_clk_eth    LOC=AD8  | IOSTANDARD = LVCMOS25;
NET resetn_eth     LOC=AC14 | IOSTANDARD = LVCMOS25;
NET txer_eth        LOC=AE17 | IOSTANDARD = LVCMOS25;
NET txen_eth        LOC=AF17 | IOSTANDARD = LVCMOS25;
NET txd_eth(7)      LOC=AC7  | IOSTANDARD = LVCMOS25;
NET txd_eth(6)      LOC=AD13 | IOSTANDARD = LVCMOS25;
NET txd_eth(5)      LOC=AF14 | IOSTANDARD = LVCMOS25;
NET txd_eth(4)      LOC=AF13 | IOSTANDARD = LVCMOS25;
NET txd_eth(3)      LOC=AF15 | IOSTANDARD = LVCMOS25;
NET txd_eth(2)      LOC=AE15 | IOSTANDARD = LVCMOS25;
NET txd_eth(1)      LOC=AE16 | IOSTANDARD = LVCMOS25;
NET txd_eth(0)      LOC=AD16 | IOSTANDARD = LVCMOS25;
```

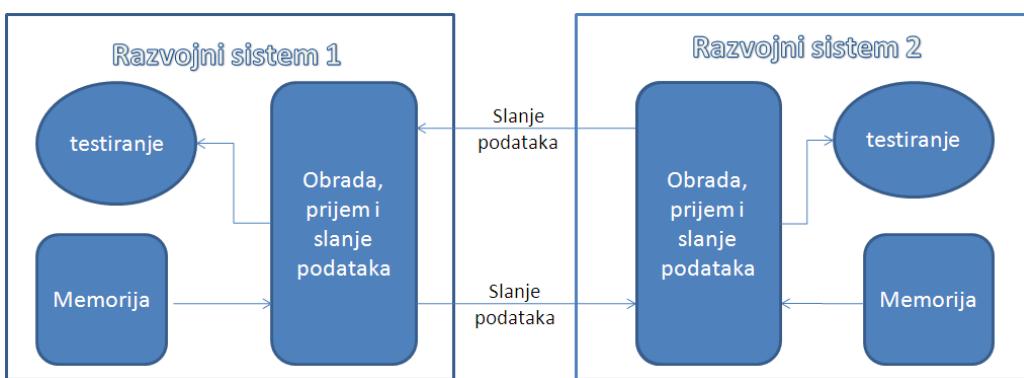
Slika 20. – Primer konfiguracione datoteke

## 5. Rezultati

U ovom poglavlju biće navedeni testni slučajevi koji su urađeni na fizičkoj arhitekturi i u programskom alatu *WireShark*.

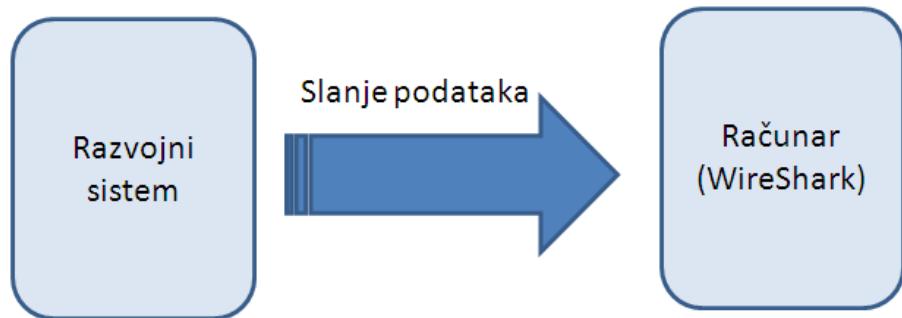
Testiranje je urađeno pri brzini od 1Gbit/s (takt 125 Mhz) pri dvosmernoj ethernet komunikaciji na dva načina.

Prvi način je preko dva Xilinx Virtex-5 razvojna sistema koji su povezani LAN mrežnim kablom. Na obe ploče se vrši istovremeno slanje i prijem podataka. Na prijemnoj strani se vrši upoređivanje paketa onim redoslednom kako su poslati. Upoređuje se najava (8 bajtova), odredišna adresa (6 bajtova), izvorišna adresa (6 bajtova), dužina/tip (2 bajta), sadržaj (64 bajta) i provera (4 bajta).



Slika 21. – Testiranje sa dva razvojna sistema

Drugi način je korišćenjem programskog alata WireShark.

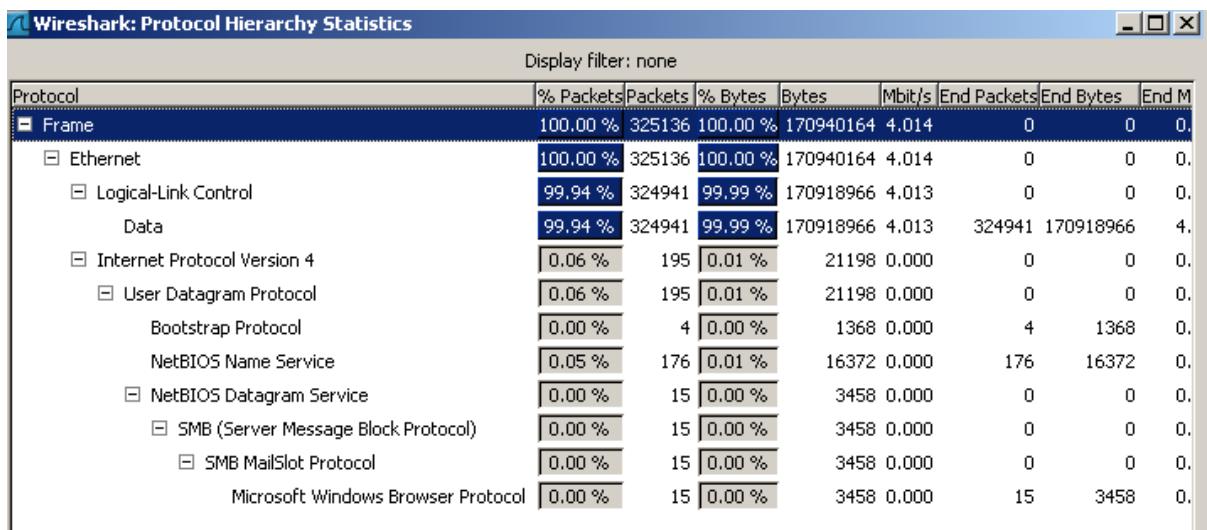


Slika 22.- Testiranje pomoću programskog alata WireShark

Na slikama 23. i 24. je prikazan primer slanja 64 bajta (512 bita). U statistici vidi se da su svi podaci uspešno poslati i primljeni.

Capturing from Realtek RTL8169/8110 Family Gigabit Ethernet NIC (Microsoft's Packet Scheduler) [Wireshark 1.6.7 (SVN Rev 41973 from /trunk-1.6)]						
No.	Time	Source	Destination	Protocol	Length	Info
9	0.0004650	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
9.0	0.005682	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
10	0.006738	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
11	0.007777	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
12	0.008835	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
13	0.009873	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
14	0.010921	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
15	0.011973	Universa_ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
<b>Frame 14: 526 bytes on wire (4208 bits), 526 bytes captured (4208 bits)</b>						
IEEE 802.3 Ethernet						
<b>Destination:</b> Universa_ab:43:08 (00:16:41:ab:43:08)						
Address: Universa_ab:43:08 (00:16:41:ab:43:08)						
.... 0 .... .... .... = IG bit: Individual address (unicast)						
.... 0 .... .... .... = LG bit: Globally unique address (factory default)						
<b>Source:</b> Universa_ab:43:0c (00:16:41:ab:43:0c)						
Address: Universa_ab:43:0c (00:16:41:ab:43:0c)						
.... 0 .... .... .... = IG bit: Individual address (unicast)						
.... 0 .... .... .... = LG bit: Globally unique address (factory default)						
Length: 512						
Logical-Link Control						
DSAP: SNAP (0xa)						
IG Bit: Group						
0000	00:16:41:ab:43:08	00:01:00:ab:43:0c	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0010	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0020	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0030	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0040	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0050	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0060	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0070	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0080	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0090	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
00a0	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
00b0	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
00c0	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
00d0	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
00e0	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
00f0	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0100	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0110	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0120	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0130	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0140	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0150	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0160	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0170	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0180	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0190	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
01a0	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
01b0	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
01c0	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
01d0	ef 89 b1 b2 b3 b4 c1 c2	c3 c4 d1 d2 d3 d4 e1 e2	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
01e0	e3 e4 f1 f2 f3 f4 a1 a2	a3 a4 b5 b6 b7 b8 c5 c6	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
01f0	c7 c8 d5 d6 d7 d8 e5 e6	e7 e8 ff ff ff ff aa aa	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response
0200	aa aa bb bb bb cc cc	cc cc da db dc de ab cd	Universa_ab:43:08	LLC	526	func=BCN; DSAP SNAP Group, SSAP Oxcc Response

Slika 23. – Testiranje slanja podatka veličine 512 bajtova



Slika 24. – Statistika uspešno poslatih i primljenih paketa

Hardversko zauzeće FPGA u ovom radu prikazano je u tabeli 6. Ono što se može videti je da je utrošeno 16% raspoloživih regista i 8% LUT (engl. *Look Up Table*) tabele koje predstavljaju male memorije sa četiri ulaza i jednim izlazom. Pomoću LUT tabele se mogu realizovati osnovne Bulove funkcije.

Broj iskorištenih delova je oko 23%, dok je broj IOBs (engl. *Input/Output Buffer*) 6% - broj iskorištenih pinova, a broj BUFG (engl. *Global Clock Control Buffer*) koji predstavlja distribuciju i baferovanje globalnog takta, oko 9%.

Slice Logic Utilization	Used	Avialable	Utilization
Number of Slice Registers	4658	28000	16%
Number of Slice LUTs	2463	28000	8%
Number of route-thrus	87	28000	8%
Number od occupied Slices	1715	7200	23%
Number of LUT Flip Flop pairs used	5645		
Number of bonded IOBs	28	440	6%
Number of BUFG/BUFGCTRLs	3	32	9%

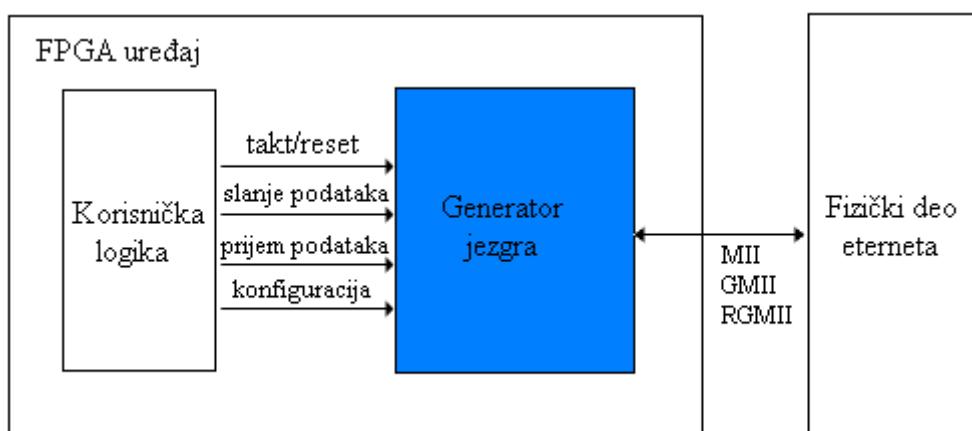
Tabela 6. – Utrošeni resursi

## 6. Zaključak

Traženi zadatak je uspesno realizovan na jedan od mogućih načina. Cilj je bio da se obezbedi mogućnost dodavanja drugih modula, odnosno da se omogući šifrovanje na drugom nivou OSI referentnog modela, kao i nadogradnja postojeće arhitekture na više nivoe OSI referentnog modela.

Ispravan rad sistem potvrđen je testiranjem pomoću dva FPGA razvojna sistema i pomoću programskog alata *WireShark*.

Drugo moguće rešenje predviđa upotrebu generatora jezgara koje koristi prvo rešenje kao osnovu i ono može kasnije da se razvija u daljem radu. Na slici 25. prikazana je komunikacija korišćenjem generatora jezgara za ethernet brzine 10Mbit/s, 100Mbit/s i 1Gbit/s (engl. Tri-mode Ethernet MAC).



Slika 25. - Eternet komunikacija sa ethernet generatorom jezgra

Takođe važno je napomenuti da je ideja da se u budućnosti podigne brzina prenosa podataka putem eterneta sa 1Gbit/s na 10Gbit/s što bi u ovom rešenju značilo promenu razvojnog sistema zbog fizičkih ograničenja ernet čipa.

## **7. Literatura**

- [1] Vladimir Kovačević: *Logičko projektovanje računarskih sistema I –projektovanje digitalnih sistema*, Univerzitet u Novom Sadu, Fakultet Tehničkih Nauka, 2009.
- [2] <https://communities.netapp.com/blogs/ethernestorageguy/2009/09/12/anatomy-of-an-ethernet-frame>
- [3] [www.rt-rk.uns.ac.rs/media/predmeti/lprs1/predavanja/07-VHDL.ppt](http://www.rt-rk.uns.ac.rs/media/predmeti/lprs1/predavanja/07-VHDL.ppt)
- [4] [http://www.racunarskemreze.com/Knjiga?Module=BookOnline\\_\\_Reader&Chapter=239](http://www.racunarskemreze.com/Knjiga?Module=BookOnline__Reader&Chapter=239)
- [5] <http://es.elfak.ni.ac.rs/rmif/Prenos-podatak-februar-2011/Pre.-pod-%202010/Pdf-2010/Pogl-09-Ethernet%20%28210-225%29.pdf>
- [6] Pong P. Chu: *RTL Hardware Design Using VHDL*, Cleveland State University, 2006.