



УНИВЕРЗИТЕТ У НОВОМ САДУ
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА У
НОВОМ САДУ



Ласло Палфи

**Имплементација система за
одабирање и ретрансмисију
модулисаног ТВ сигнала**

ДИПЛОМСКИ РАД
- Основне академске студије -

Нови Сад, 2015



КЉУЧНА ДОКУМЕНТАЦИЈСКА ИНФОРМАЦИЈА

Редни број, РБР:	
Идентификациони број, ИБР:	
Тип документације, ТД:	Монографска документација
Тип записа, ТЗ:	Текстуални штампани материјал
Врста рада, ВР:	Завршни (Bachelor) рад
Аутор, АУ:	Ласло Палфи
Ментор, МН:	Др Иван Мезеи
Наслов рада, НР:	Имплементација система за одабирање и ретрансмисију модулисаног ТВ сигнала
Језик публикације, ЈП:	Српски / латиница
Језик извода, ЈИ:	Српски
Земља публиковања, ЗП:	Република Србија
Уже географско подручје, УГП:	Војводина
Година, ГО:	2015
Издавач, ИЗ:	Ауторски репринт
Место и адреса, МА:	Нови Сад; трг Доситеја Обрадовића 6
Физички опис рада, ФО: (поглавља/страна/ цитата/табела/ слика/графика/прилога)	4/29/10/0/24/0/1
Научна област, НО:	Електротехника и рачунарство
Научна дисциплина, НД:	Рачунарска техника
Предметна одредница/Кључне речи, ПО:	ТВ сигнал, угађени систем, одабирање, ретрансмисија, модулација, QAM
УДК	
Чува се, ЧУ:	У библиотеци Факултета техничких наука, Нови Сад
Важна напомена, ВН:	
Извод, ИЗ:	У раду је представљен систем за одабирање и ретрансмисију ТВ сигнала. Представљен је преглед физичке архитектуре система, са фокусом на генераторски подсистем. Верификована је функционалност генераторског подсистема. Дати су резултати верификације. Дат је списак хардверских проблема система и предлози решења проблема.
Датум прихватања теме, ДП:	
Датум одбране, ДО:	
Чланови комисије, КО:	Председник: Др Небојша Ђевалица Члан: Др Вук Врањковић Члан, ментор: Др Иван Мезеи
	Потпис ментора



KEY WORDS DOCUMENTATION

Accession number, ANO:			
Identification number, INO:			
Document type, DT:	Monographic publication		
Type of record, TR:	Textual printed material		
Contents code, CC:	Bachelor Thesis		
Author, AU:	Laslo Palfi		
Mentor, MN:	Ivan Mezei, PhD		
Title, TI:	Implementation of a system for sampling and retransmission of a modulated TV signal		
Language of text, LT:	Serbian		
Language of abstract, LA:	Serbian		
Country of publication, CP:	Republic of Serbia		
Locality of publication, LP:	Vojvodina		
Publication year, PY:	2015		
Publisher, PB:	Author's reprint		
Publication place, PP:	Novi Sad, Dositeja Obradovica sq. 6		
Physical description, PD: (chapters/pages/ref./tables/pictures/graphs/applications)	4/29/10/0/24/0/1		
Scientific field, SF:	Electrical Engineering		
Scientific discipline, SD:	Computer Engineering, Engineering of Computer Based Systems		
Subject/Key words, S/KW:	TV signal, emdedded system, sampling, retransmission		
UC			
Holding data, HD:	The Library of Faculty of Technical Sciences, Novi Sad, Serbia		
Note, N:			
Abstract, AB:	In this paper, a system for TV signal sampling and retransmitting is presented. An overview of the system's physical architecture is given, with the focus on the generator subsystem. The functionality of the generator subsystem is verified. The verification results are presented. A list of hardware problems is given, with their solutions.		
Accepted by the Scientific Board on, ASB:			
Defended on, DE:			
Defended Board, DB:	President:	Nebojša Pjevalica, PhD	
	Member:	Vuk Vranjković, PhD	Menthor's sign
	Member, Mentor:	Ivan Mezei, PhD	

Zahvalnost

Zahvaljujem se svom mentoru, dr Nebojši Pjevalici i šefu Dejanu Stefanoviću koji su dali ideju za rad. Zahvaljujem se i kolegi Branku Boriševu, kao i kolektivu RT RK, na podršci i nesebičnoj pomoći koju su mi pružili tokom rada na ovom projektu.

SADRŽAJ

1.	Uvod.....	1
2.	Opis fizičke arhitekture	2
2.1	Snimač	3
2.2	Generatorski podsistem	3
2.2.1	VHDL dizajn.....	3
2.2.1.1	FPGA sprega.....	5
2.2.1.2	FIFO bafer	6
2.2.1.3	ILA i ICON upravljač za ILA-u.....	7
2.2.1.4	Konfigurator modulatora	8
2.2.1.5	Generator takta (CGU)	9
2.2.1.6	Generator 16QAM konstelacije	9
2.2.2	D/A konvertor (DAC)	9
2.2.3	Modulator	10
3.	Verifikacija fizičke arhitekture i rezultati verifikacije.....	12
3.1	Metode verifikacije.....	12
3.2	Rezultati verifikacije	13
4.	Zaključak	18
5.	Literatura	19
	DODATAK A	20

SPISAK SLIKA

Slika 2.1 Blok šema celokupnog sistema	2
Slika 2.2 Blok šema snimača	3
Slika 2.3 Blok šema generatorskog podsistema	3
Slika 2.4 Blok šema dizajna za proizvodnju	4
Slika 2.5 Blok šema dizajna za verifikaciju	4
Slika 2.6 Portovi top modula	5
Slika 2.7 FIFO bafer i njegovi portovi i signali.....	7
Slika 2.8 ICON	7
Slika 2.9ILA	8
Slika 2.10 Konfigurator modulatora	8
Slika 2.11 Generator takta.....	9
Slika 2.12 Generator 16QAM konstelacije	9
Slika 2.13 Sprega FPGA, DAC-a i modulatora.....	10
Slika 2.14 Upisivanje u modulator	10
Slika 2.15 <i>RFMD Slice Programming Tool</i> , prozor u kojem su prikazane vrednosti koje treba upisati u odgovarajuće registre	11
Slika 3.1 Verifikacija fizičke arhitekture (na slici: verifikovanje rada modulatora)	13
Slika 3.2 Verifikacija FIFO bafera	13
Slika 3.3 Testera na izlazu DAC-a	14
Slika 3.4 Test signal iz Dektec-a DTU-215	14
Slika 3.5 Povorka pravougaonih impulsa koji se dovode na modulator.....	15
Slika 3.6 Signal na izlazu modulatora kad se modulator pobuđuje kvadratnim signalima fazno pomerenim za 180°	15

Slika 3.7 16QAM konstelacija koju generiše 16QAM generator.....	16
Slika 3.8 Prelazi sa jednog na drugi simbol (redosled 0 – 15)	17
Slika 3.9 Odozgo nadole: <i>MOD_I</i> i <i>MOD_Q</i> ulazi modulatora, izlaz iz modulatora i izlaz iz tjunera kad se simboli generišu redosledom (0, 2, 10, 8, 1, 6, 11, 12, 3, 14, 9, 4, 7, 13, 5, 15)....	17

SKRAĆENICE

FPGA	- <i>Field Programmable Gate Array</i> , programabilne sekvencijalne mreže
STB	- <i>Set Top Box</i> , uređaj koji prima i obrađuje digitalne televizijske i satelitske signale
ADC	- <i>Analog/Digital Converter</i> , A/D konvertor, pretvarač analognog signala u digitalni signal
DAC	- <i>Digital/Analog Converter</i> , D/A konvertor, pretvarač digitalnog signala u analogni signal
EPROM	<i>Erasable and Programable ROM</i> , ROM memorija sa mogućnošću reprogramiranja njenog sadržaja
FIFO buffer	- <i>First In First Out buffer</i> , struktura podataka koja funkcioniše na principu reda (podatak koji je prvi ušao u red, prvi izlazi iz njega)
ILA	- <i>Integrated Logic Analyzer</i> , ugrađeni logički analizator
ICON	- <i>Integrated CONtroller</i> , ugrađeni upravljač
CGU	- <i>Clock Generator Unit</i> , jedinica za generisanje takta
QAM	- <i>Quadrature Amplitude Modulation</i> , kvadraturna amplitudska modulacija
SPI	- <i>Serial Peripheral Interface</i> , serijska periferijska sprega
USB	- <i>Universal Serial Bus</i> , univerzalna serijska magistrala

1. Uvod

Ubrzan razvoj tehnologije nije zaobišao multimedijalne uređaje. Razvojem tehnologije i multimedijalnih uređaja, povećali su se i zahtevi korisnika multimedijalnih uređaja. Javila se potreba za sve bržim i boljim uređajima potrošačke elektronike (televizori, STB-ovi itd). Proizvodnja multimedijalnih uređaja i njihovih komponenti se odvija u više faza, pri čemu se najviše vremena provodi u poslednjoj fazi provere i verifikacije uređaja. Danas se sve više koriste alati za automatizaciju testiranja, da bi se smanjilo vreme neophodno za proveru i verifikaciju proizvoda [1]. Vreme utrošeno na proveru i verifikaciju proizvoda utiče i na cenu proizvoda. Smanjivanjem vremena verifikacije smanjuje se i cena proizvoda.

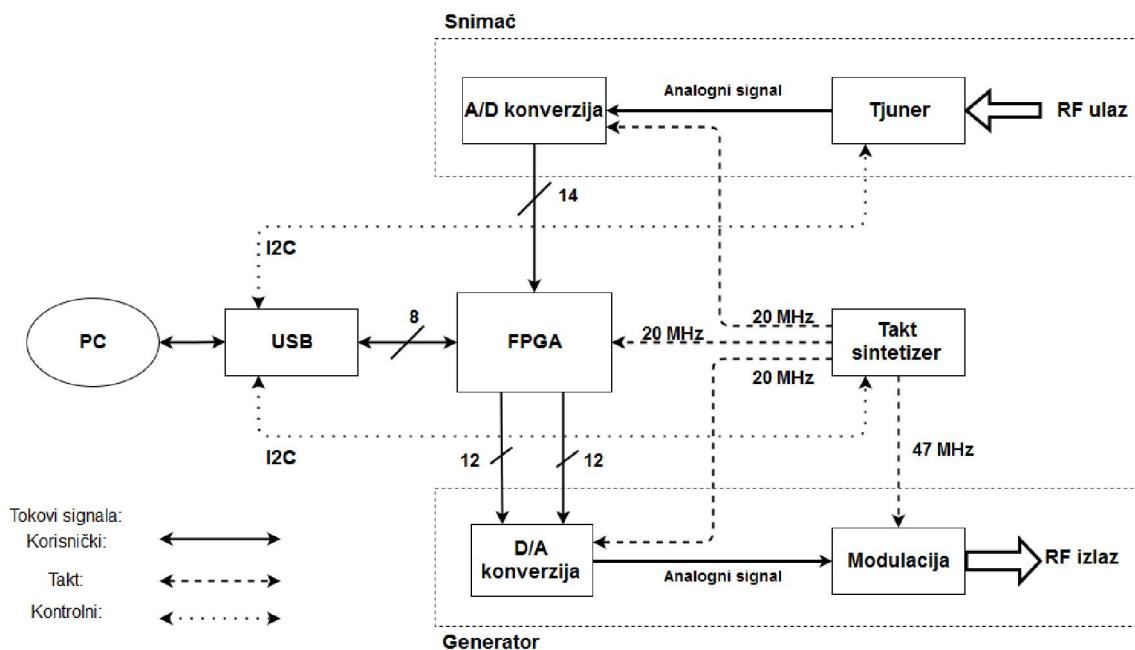
Alati za automatizaciju testiranja nisu jeftini. U ovom radu je predstavljena jedna alternativa komercijalnim alatima za automatizaciju testiranja. Ovaj rad je nastavak postojećeg rada *Sistem za slanje i snimanje TV test signala* [1], čiji je fokus bio na snimanju TV test signala. Fokus ovog rada je na osposobljavanju generatorskog dela sistema za odabiranje i retransmisiju modulisanih TV signala i kompletiranju uređaja. Svrha ovog sistema je automatizacija provere i verifikacije multimedijalnih uređaja potrošačke elektronike. Takođe, ovaj sistem bi mogao predstavljati alternativu već postojećim rešenjima (npr. *Dektec DTU-215*).

Rad je organizovan u sledeće celine:

- Opis fizičke arhitekture – predstavljen je opis kompletne ploče, sa fokusom na generatorski deo sistema.
- Verifikacija fizičke arhitekture i rezultati verifikacije – opisani su načini provere rada glavnih komponenti fizičke arhitekture. Predstavljeni su rezultati verifikacija rada komponenti i generatorskog podsistema. Opisani su problemi koji su se javili tokom verifikacije rada sistema i data su njihova rešenja ili predlozi rešenja.

2. Opis fizičke arhitekture

Postojeći sistem se sastoji iz dva podsistema: snimača i generatorskog podsistema. Blok šema sistema je data na slici 2.1. Podsistemi su odvojeni jedan od drugog, ne rade zajedno, svaki podsistem ima poseban VHDL dizajn. Zajedničko im je da koriste USB interfejs i FPGA za komunikaciju sa korisničkim računarom.



Slika 2.1 Blok šema celokupnog sistema

Sistem je preko USB sprege povezan sa PC računara. Veza između PC računara i sistema za snimanje i slanje signala je realizovana preko FTDI-ovog FT232H USB kontrolera. Preko njega se vrši upis u bafere realizovane unutar FPGA kola (Xilinx-ov Spartan 6 XC6SLX9) i čitanje iz njih, kao i podešavanje tjunera (SERIT SP670) i programiranje takt sintetizera (CDCE949). Takt sintetizer generiše stabilne referentne taktove za ADC (Analog Devices-ov

AD9254), DAC (Intersil-ov ISL5827) i modulator (RFMD 2081). Takt sintetizer ima EPROM u koji se preko I²C magistrale upisuju željene vrednosti za generisane taktove [1].

2.1 Snimač

Blok šema snimača data je na slici 2.2.

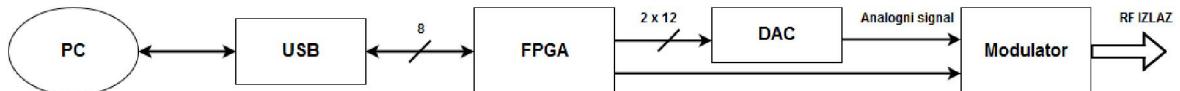


Slika 2.2 Blok šema snimača

Snimač se aktivira učitavanjem postojećeg VHDL dizajna u FPGA i pokretanjem aplikacije za podešavanje tjunera na korisničkom računaru. Aplikacija šalje vrednosti koje treba da se upišu u registre tjunera preko USB-a, FTDI FT232H vrši konverziju USB na I²C i tjuner se podešava na željenu frekvenciju. 14-bitni ADC pretvara analogni signal sa tjunera u digitalni signal koji se šalje na FPGA. U VHDL dizajnu je realizovan bafer u koji se smeštaju podaci koji dolaze sa ADC-a. Ti podaci se zatim prosleđuju na korisnički računar preko USB-a i aplikacija ih upisuje u jednu datoteku [1].

2.2 Generatorski podsistem

Blok šema generatorskog podsistema je data na slici 2.3.



Slika 2.3 Blok šema generatorskog podsistema

Generatorski podsistem se aktivira učitavanjem odgovarajućeg VHDL dizajna u FPGA. Po učitavanju VHDL dizajna, modulator se programira na odgovarajuću frekvenciju. Na korisničkom računaru se pokreće aplikacija koja generiše podatke za slanje. Slično kao kod snimača, u FPGA je realizovan bafer koji prima podatke sa računara i prosleđuje ih na DAC. Analogni signali sa DAC-a se zatim prosleđuju na modulator. Sledi detaljan opis fizičke arhitekture generatorskog podsistema sa slike 2.3.

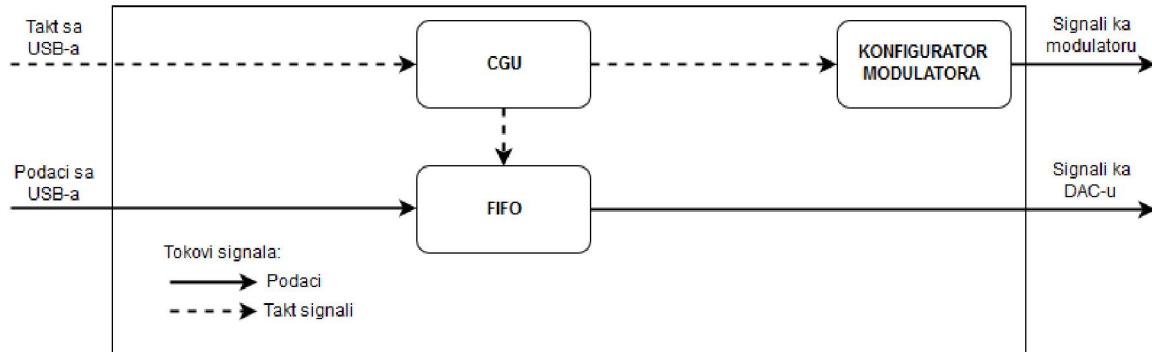
2.2.1 VHDL dizajn

Generatorski podsistem se aktivira učitavanjem generatorskog VHDL dizajna (sprege) u FPGA. Postoje dva dizajna, dizajn za proizvodnju i dizajn za verifikaciju. Dizajn za proizvodnju u sebi sadrži sledeće podmodule:

1. FIFO bafer – strukturu u koju se smeštaju podaci sa računara

2. Konfigurator modulatora – komponentu koja kontroliše komunikaciju sa modulatorom i programira ga
3. Generator takta (CGU) – generiše takt za konfigurator modulatora i bafer

Blok šema dizajna za proizvodnju je data na slici 2.4.

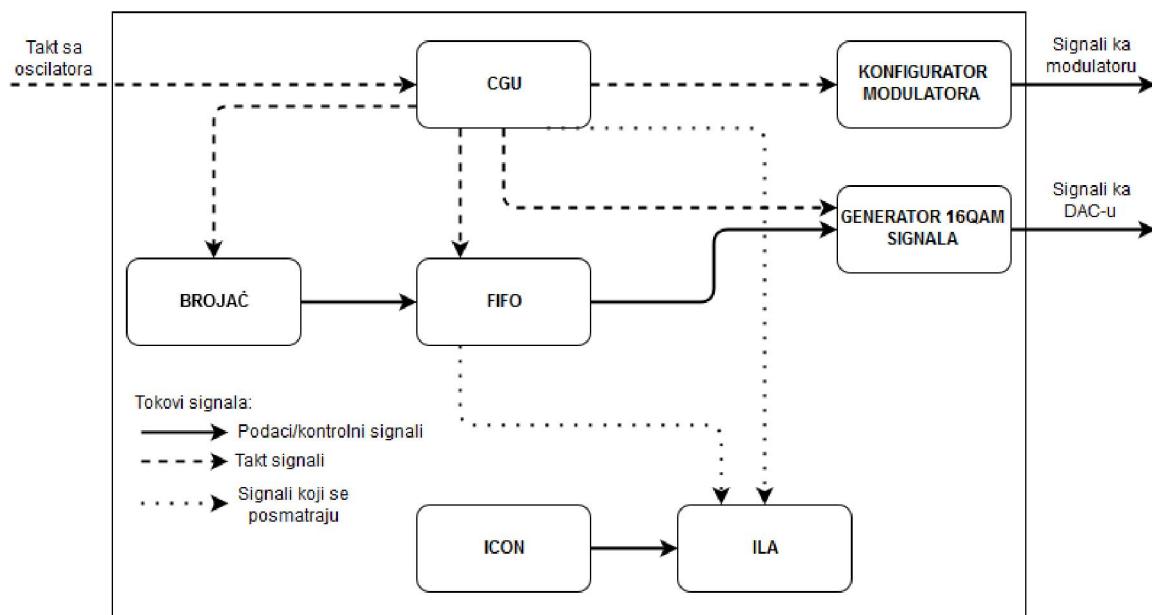


Slika 2.4 Blok šema dizajna za proizvodnju

Dizajn za verifikaciju u sebi sadrži:

1. Brojač – generiše sekvencu 8-bitnih vrednosti kojima se testira rad FIFO bafera
2. FIFO bafer
3. Konfigurator modulatora
4. Generator 16QAM signala
5. ILA-u – ugrađeni logički analizator
6. ICON – kontroler za ILA-u
7. Generator takta

Blok šema dizajna za verifikaciju je data na slici 2.5.

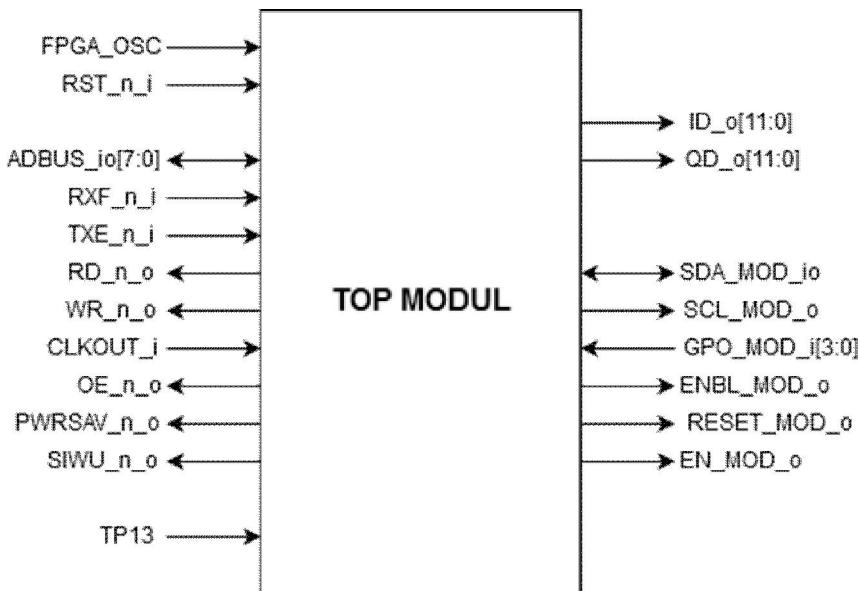


Slika 2.5 Blok šema dizajna za verifikaciju

Slede opisi sprega i komponenti koje se nalaze u dizajnima.

2.2.1.1 FPGA sprega

Prikaz portova top modula je dat na slici 2.6.



Slika 2.6 Portovi top modula

Port *FPGA_OSC* je ulazni port na koji se dovodi takt od 60 MHz sa oscilatora. Taj takt se koristi za upis u FIFO bafer prilikom verifikacije bafera, kao i za generisanje taktova za određene module generatorskog podsistema (o čemu će biti reči kasnije). Port *RST_n_i* je ulazni port na koji se dovodi reset signal, aktiviran je na nizak logički nivo.

Portovi *ADBUS_io*, *RXF_n_i*, *TXE_n_i*, *RD_n_o*, *WR_n_o*, *CLKOUT_i*, *OE_n_o*, *PWRSAV_n_o* i *SIWU_n_o* su portovi prema FTDI FT232H USB kontroleru. Njihov raspored i funkcija odgovaraju rasporedu i funkciji pinova kontrolera kada radi u sinhronom FIFO modu [2].

ADBUS_io je osmobiljni ulazno-izlazni port koji služi za prenos podataka između kontrolera i FPGA. *RXF_n_i* je ulazni port, aktiviran na nizak logički nivo signala. Preko njega kontroler obaveštava FPGA da li je spreman da prima podatke. *TXE_n_i* je ulazni port, aktiviran na nizak logički nivo signala. Preko njega kontroler obaveštava FPGA da li je spreman da šalje podatke. Port *RD_n_o* je izlazni port aktiviran na nizak logički nivo signala. Preko njega FPGA obaveštava kontroler da očekuje podatke. Podaci se šalju svakog ciklusa *CLKOUT_i* takta kada su i *RD_n_o* i *RXF_n_i* niski. Port *WR_n_o* je izlazni port i određuje smer kretanja podataka. Kada je na niskom logičkom nivou, podaci se prenose od FPGA ka kontroleru. U dizajnu za generatorski podsistem, ovaj port se uvek drži na visokom logičkom nivou. Port *PWRSAV_n_o* može imati jednu od dve funkcije - može se koristiti za „buđenje“ suspendovanog korisničkog

računara ili za optimizaciju brzine prenosa podataka u nekim primenama kontrolera. Ovaj port je neiskorišćen u slučaju generatora. *CLKOUT_i* je ulaz za takt od 60 MHz koji generiše kontroler. To je takt za komunikaciju između kontrolera i FPGA. *OE_n_o* port preko kojeg FPGA naređuje kontroleru da šalje podatke. Aktivan je na nizak logički nivo [2].

Na korisničkom računaru se pokreće aplikacija koja podešava kontroler u sinhroni FIFO mod, da bi mogao komunicirati sa FPGA i da bi se mogli slati podaci na modulator.

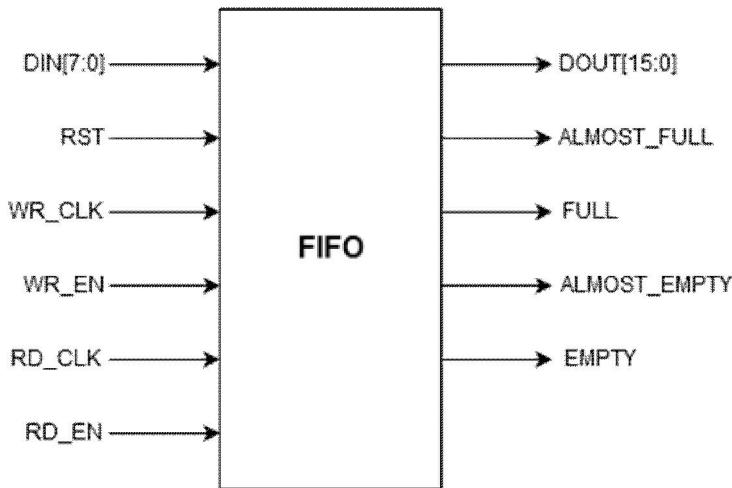
TP13 je ulazni port. Na njega se dovodi takt od 20 MHz sa takt sintetizatora. Taj takt je takt za čitanje iz FIFO bafera.

Portovi *ID_o* i *QD_o* su 12-bitni portovi koji šalju podatke na direktni i kvadraturni ulaz DAC-a, respektivno.

Portovi *SDA_MOD_io*, *SCL_MOD_o*, *GPO_MOD_i*, *ENBL_MOD_o*, *RESET_MOD_o*, i *EN_MOD_o* su portovi prema modulatoru. Portovi *SDA_MOD_io*, *SCL_MOD_o* i *EN_MOD_o* služe za 3-wire komunikaciju sa modulatorom (biće više reči o njoj kasnije). *SDA_MOD_io* je ulazno-izlazni port za prenos podataka (ponaša se slično kao MOSI izlaz kod SPI komunikacije), *SCL_MOD_o* je port za takt na kojem radi komunikacija, a *EN_MOD_o* je *slave select* port. *RESET_MOD_o* je port preko kojeg se prosleđuje reset signal modulatoru. *GPO_MOD_i* je četvorobitni ulazni port koji je povezan na izlaze opšte namene modulatora. U trenutnoj verziji dizajna, ovi portovi se ne koriste. *ENBL_MOD_o* je port preko kojeg se aktivira modulator nakon programiranja (o čemu će biti više reči kasnije).

2.2.1.2 FIFO bafer

FIFO bafer sa svojim portovima i signalima je prikazan na slici 2.7. Generisan je uz pomoć LogiCORE IP FIFO generatora. Služi za baferovanje (omogućavanje kontinualnosti protoka) podataka i sinhronizovanje dva taktna domena. Podešen je tako da u njega može da se smesti 4096 osmobilnih elemenata [7].

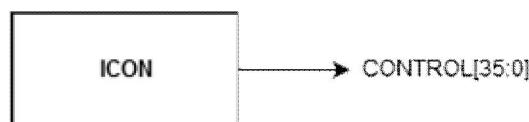


Slika 2.7 FIFO bafer i njegovi portovi i signali

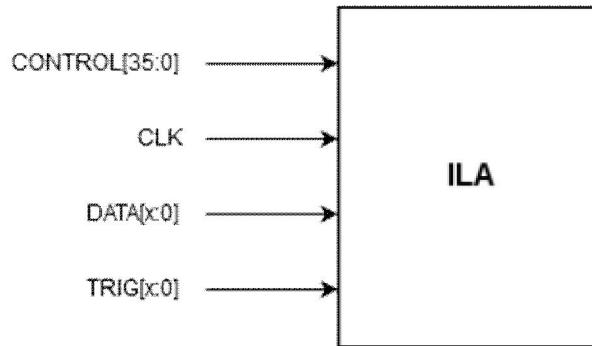
DIN je 8-bitni ulazni port za podatke sa korisničkog računara. Sa računara se naizmenično šalju kvadraturni i direktni podaci. *RST* je ulaz za resetovanje bafera. *WR_CLK* i *RD_CLK* su ulazi za taktove za čitanje i pisanje, respektivno. Na *WR_CLK* se dovodi takt od 60 MHz sa *CLKOUT_i* ulaza (ili takt sa *FPGA_OSC* ulaza prilikom testiranja bafera). Na *RD_CLK* se dovodi takt od 20 MHz sa TP13 ulaza top modula. *WR_EN* i *RD_EN* su signali kojima se dozvoljava upis i čitanje iz bafera. *DOUT* je 16-bitni izlazni port za podatke. Gornjih 8 bita izlaza se šalje na kvadraturni ulaz DAC-a, a donjih 8 bita na direktni ulaz DAC-a. S obzirom da su ulazi u DAC 12-bitni, tih 8 bita se smeštaju na više pozicije 12-bitnih podataka. *ALMOST_FULL*, *FULL*, *ALMOST_EMPTY* i *EMPTY* su statusni signali, koji javljaju da li je bafer skoro pun, pun, skoro prazan i prazan, respektivno. Na osnovu njih se određuju signali *WR_EN* i *RD_EN*, kao i vrednost signala *RD_n_o*.

2.2.1.3 ILA i ICON upravljač za ILA-u

ILA je integrисани logički analizator koji služi za posmatranje internih signala preko JTAG priključka. ICON je integrисани upravljač za ILA-u. Generisani uz pomoć LogiCORE IP ChipScope Pro Integrated Logic Analyzer generatora [8] i LogiCORE IP ChipScope Pro Integrated Controller generatora [9]. ICON ima samo jedan 36-bitni izlazni port koji je povezan na kontrolni port ILA-e.



Slika 2.8 ICON

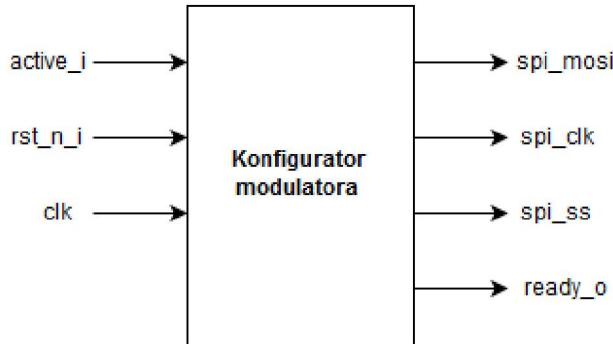


Slika 2.9 ILA

ILA, pored kontrolnog ulaza, ima jedan ulaz za takt, *DATA* port podešljive širine za posmatranje podataka i *TRIG* port podešljive širine preko kojeg se određuje na koje signale će ILA „okidati“ snimanje signala. ILA radi na taktu od 120 MHz zbog Nikvistovog kriterijuma (jedan od signala koji se posmatra ILA-om je takt signal od 60 MHz, a to je signal najviše učestanosti).

2.2.1.4 Konfigurator modulatora

Konfigurator modulatora upravlja komunikacijom između FPGA i modulatora. Takođe, on programira modulator da moduliše na određenoj frekvenciji, upisivanjem odgovarajućih vrednosti (koje se nalaze u jednom nizu) u modulator.

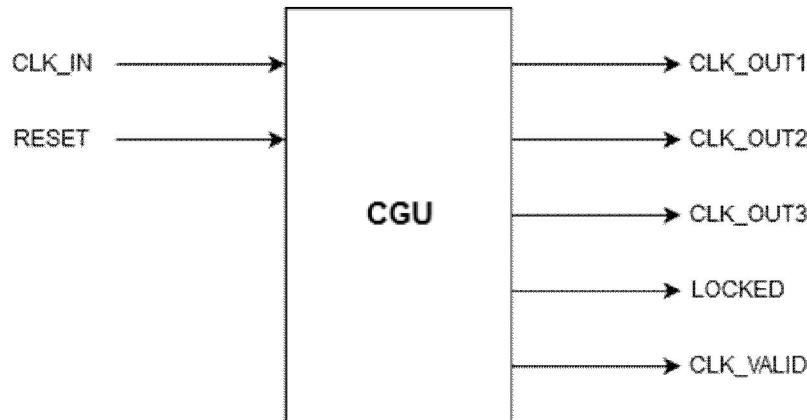


Slika 2.10 Konfigurator modulatora

Konfigurator modulatora ima ulaz za takt, reset ulaz, *active_i* ulaz kojim se kontroliše rad kontrolera, i *ready_o* izlaz koji signalizira da je modulator programiran i da se *active_i* signal može spustiti na logičku nulu (odnosno, da se konfigurator može deaktivirati).

Signali *spi_mosi*, *spi_clk* i *spi_ss* su povezani na *SDA_MOD_io*, *SDA_CLK_o* i *EN_MOD_o* izlazne portove top modula, respektivno. Preko *spi_mosi* signala se prenose podaci. *Spi_clk* je takt signal za komunikaciju. *Spi_ss* je signal kojim se modulatoru najavljuje prenos podataka.

2.2.1.5 Generator takta (CGU)



Slika 2.11 Generator takta

Generator takta je napravljen uz pomoć LogiCORE IP Clocking Wizard-a [10]. Generator takta ima ulaz za takt (na osnovu kojeg generiše izlazne taktove) i reset ulaz. Na izlazu *CLK_OUT1* se generiše takt od 60 MHz kojim se taktuje upis u FIFO bafer prilikom verifikacije rada bafera. Na izlazu *CLK_OUT2* se generiše takt od 20 MHz za čitanje iz FIFO bafera prilikom verifikacije. Na izlazu *CLK_OUT3* se generiše takt od 120 MHz na koji radi ILA. Izlazi *LOCKED* i *CLK_VALID* su statusni izlazi, javljaju da su generisani klokovi postali stabilni.

2.2.1.6 Generator 16QAM konstelacije



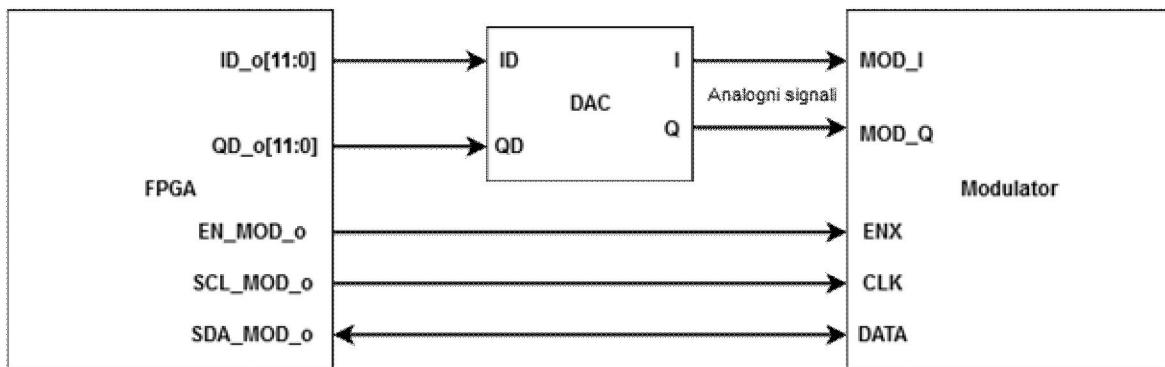
Slika 2.12 Generator 16QAM konstelacije

Generator 16QAM konstelacije se koristi za verifikaciju rada modulatora. Ima ulaz za takt i reset ulaz. Izlazi *I_o* i *Q_o* su 12-bitni izlazi za direktnе i kvadraturne podatke, i povezani su na *ID_o* i *QD_o* izlaze top modula, respektivno.

2.2.2 D/A konvertor (DAC)

DAC koji je upotrebljen u generatorskom podsistemu je Intersil-ov ISL5827. To je 12-bitni DAC sa direktnim i kvadraturnim ulazima. Ulazi su mu neoznačeni [1]. Radi na taktu od 20 MHz, koji generiše takt sintetizer.

Na njegove ulaze se dovode digitalni signali sa *ID_o* i *QD_o* portova FPGA. Njegovi izlazi su povezani na direktnе i kvadraturne ulaze modulatora, što je prikazano na slici 2.13.



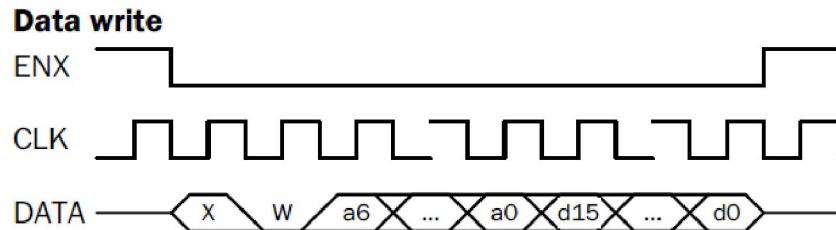
Slika 2.13 Sprega FPGA, DAC-a i modulatora

2.2.3 Modulator

Modulator koji je upotrebljen u generatorskom podsistemu je RFMD 2081. Može da moduliše na frekvencijama od 45 Mhz do 2,4 GHz. Podešava se preko 3-wire SPI sprege. Primjenjuje se kod satelitskih komunikacija, *wireless* (bežičnih) komunikacija, QPSK/QAM modulacija [4].

Modulator preko *MOD_I* i *MOD_Q* ulaza prima analogni signal sa DAC-a.

ENX, *CLK* i *DATA* su ulazi za programiranje i podešavanje modulatora. *ENX* je *slave select* ulaz, *CLK* je ulaz za takt, a *DATA* je ulazno-izlazni port za prenos podataka.

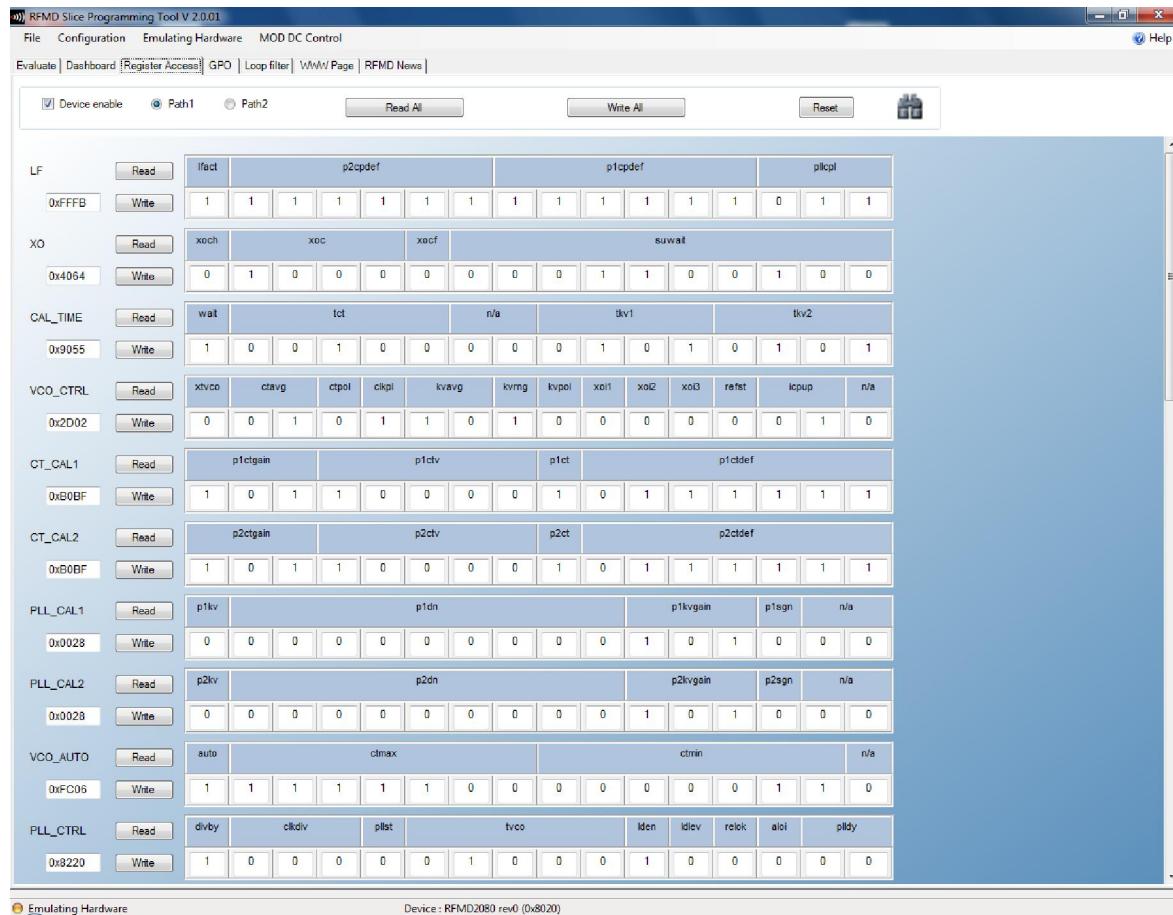


Slika 2.14 Upisivanje u modulator

Modulator se podešava upisivanjem odgovarajućih vrednosti u njegove 16-bitne registre [5]. Proces upisivanja u modulator je prikazan na slici 2.14. Proces upisivanja počinje slanjem jednog impulsa takta sa FPGA. Na opadajuću ivicu tog impulsa spušta se i *ENX* signal na logičku nulu, što je znak za početak prenosa podataka. Takođe, na *DATA* liniju se postavlja jedan bilo koji bit. Na svaku opadajuću ivicu takt signalata, FPGA postavlja jedan bit na *DATA* liniju, dok na svaku rastuću ivicu, modulator uzorkuje jedan bit sa *DATA* linije. Nakon jednog bilo kojeg bita, FPGA šalje nulu, odnosno bit za upis. Nakon bita za upis, šalje se 7 bita, koji predstavljaju adresu registra u koji će se upisati 16-bitna vrednost koja sledi nakon njih. Adresni biti i bitovi podataka se šalju počevši sa bitom najveće važnosti. Svako upisivanje u modulator se

završava podizanjem *ENX* signala na logičku jedinicu i puštanjem još jednog impulsa takta nakon toga [5].

Vrednosti koje se upisuju u modulator se određuju uz pomoć RFMD-ovog softverskog alata *RFMD Slice Programming Tool* [6]. Te vrednosti su smeštene u jednom nizu u 3-wire kontroleru u VHDL dizajnu. Na slici 2.15 je prikazan deo vrednosti koje se upisuju u modulator da bi radio na 48 MHz.



Slika 2.15 *RFMD Slice Programming Tool*, prozor u kojem su prikazane vrednosti koje treba upisati u odgovarajuće registre

3. Verifikacija fizičke arhitekture i rezultati verifikacije

3.1 Metode verifikacije

Delovi fizičke arhitekture čiji rad je verifikovan su VHDL dizajn, DAC, modulator.

U VHDL dizajnu verifikovan je rad FIFO bafera, najvažnijeg dela dizajna. Verifikacija se svodi na pravljenje jednog 8-bitnog brojača unutar FPGA koji je povezan *DIN* ulaz FIFO bafera, i posmatranje signala na *DIN* i *DOUT* portovima pomoću ILA-e. Funkcionalnost FIFO bafera se može verifikovati i brojačkom aplikacijom na korisničkom računaru koja preko USB-a šalje podatke na FPGA (podaci se upisuju u FIFO bafer) i posmatranjem signala FIFO bafera pomoću ILA-e.

Verifikacija DAC-a je tesno povezana sa verifikacijom VHDL dizajna (odnosno, FIFO bafera). Izlaz iz FIFO bafera se prosleđuje na ulaze DAC-a. U slučaju brojačke sekvene, na izlazu DAC-a se očekuje „testerasti“ signal.

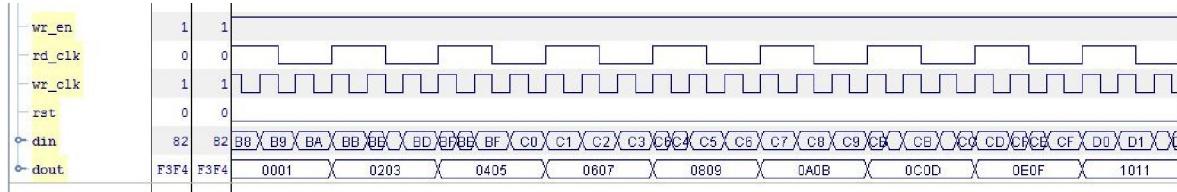
Verifikacija rada modulatora je izvršena u nekoliko koraka. Pre verifikacije modulatora, izvršeno je testiranje tjunera dovođenjem test signal sa računara preko Dektec-ovog DTU-215 modulatora na ulaz tjunera. Zatim je osciloskopom posmatran izlaz modulatora preko povratnog (*loopback*) izlaza tjunera. To je urađeno kao referenca za testiranje RFMD 2081 modulatora. RFMD 2081 modulator je zatim povezan na tjuner i pobuđivan je sa dve povorke pravougaonih signala fazno pomerenih za 180° , i posmatran je njegov izlaz i izlaz tjunera. Nakon toga, modulator je pobuđivan vrednostima koje generiše 16QAM generator. U oba slučaja očekivano je da se na osciloskopu primeti menjanje faze izlaznog signala modulatora. U slučaju pobuđivanja modulatora 16QAM generatorom, očekivano je i menjanje amplitudne izlaznog signala.



Slika 3.1 Verifikacija fizičke arhitekture (na slici: verifikovanje rada modulatora)

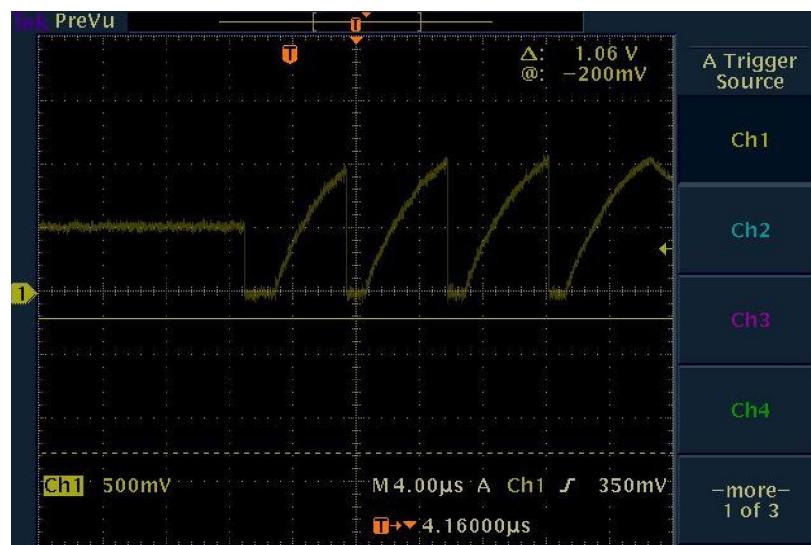
3.2 Rezultati verifikacije

FIFO bafer je verifikovan dovođenjem brojačke sekvence na njegov ulaz. Rad bafera je praćen uz pomoć ILA-e. Na slici 3.2 se vide signal za dozvolu upisa u bafer, taktovi za upis u bafer i čitanje iz njega, reset signal bafera i podaci koji ulaze i izlaze iz njega.



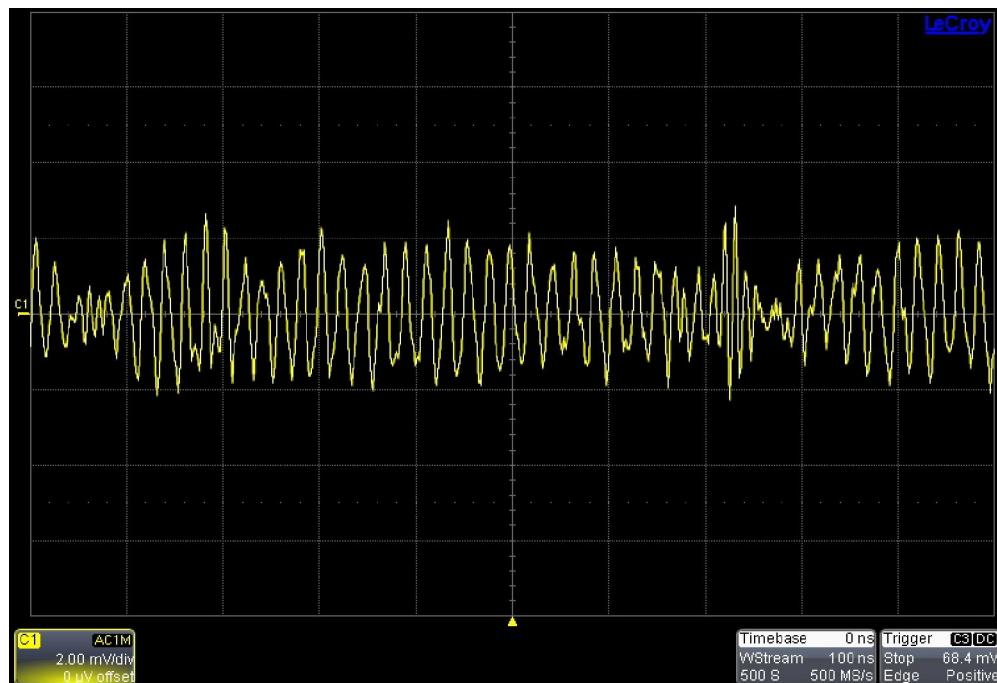
Slika 3.2 Verifikacija FIFO bafera

Funkcionalnost DAC-a je verifikovana istovremeno sa verifikacijom rada FIFO bafera. S obzirom na to da brojački podaci iz bafera idu na ulaze DAC-a, na izlazu DAC-a se očekuje testerast signal. Na slici 3.3 je snimak izlaza iz DAC-a kada se na njega dovodi brojačka sekvenca.



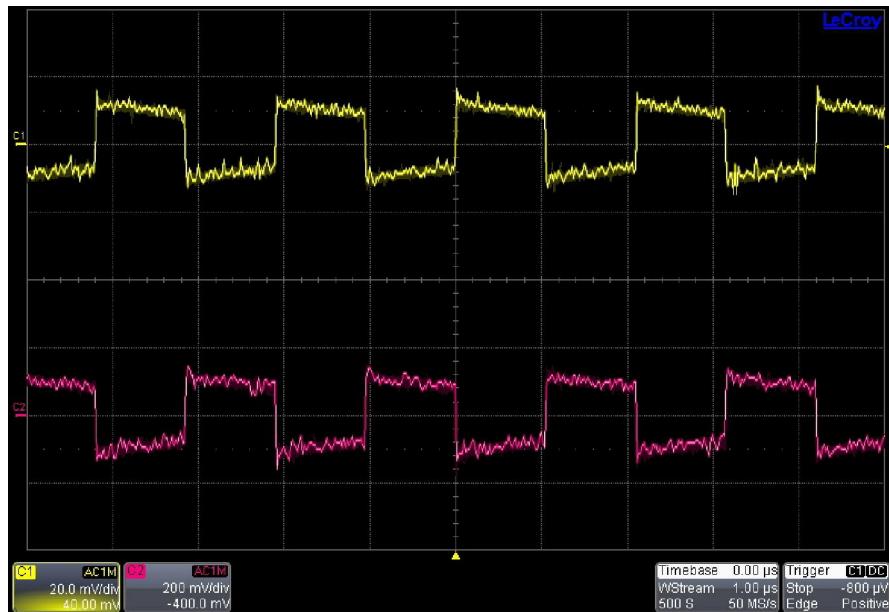
Slika 3.3 Testera na izlazu DAC-a

Verifikacija modulatora je izvedena u nekoliko koraka. Prvi korak je da se odredi kakav bi izlaz modulatora trebalo da bude kad se pobuđuje vrednostima iz 16QAM konstelacije. To je urađeno povezivanjem izlaza Dektec-ovog DTU-215 modulatora na ulaz tjunera i njegovim posmatranjem na osciloskopu preko *loopback* izlaza tjunera. Na korisničkom računaru je podešeno da Dektec-ov modulator moduliše test video signal frekvencijom od 48 MHz. Modulacija je podešena na 16QAM. Na slici 3.4 je prikazan izlaz Dektec-ovog DTU-215 modulatora. Na signalu se primećuju promene amplitude i faze karakteristične za 16QAM modulaciju.

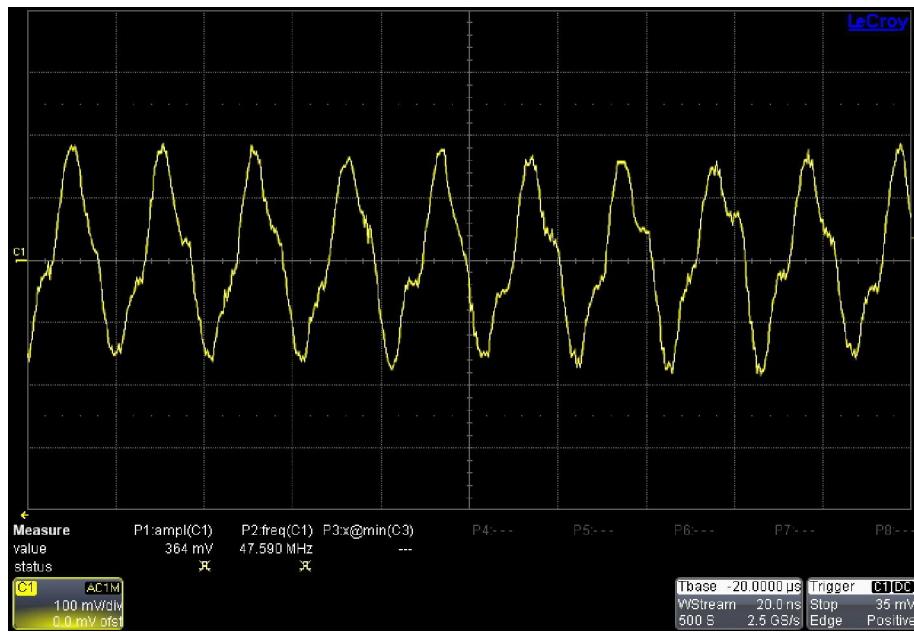


Slika 3.4 Test signal iz Dektec-a DTU-215

Sledeći korak je povezivanje izlaza RFMD 2081 modulatora na ulaz tjunera. Modulator je pobudovan sa dve povorke pravougaonih signala frekvencije 500 kHz, fazno pomerenih za 180° . Na slici 3.5 su prikazane povorke pravougaonih signala. Na slici 3.6 je prikazan signal na izlazu modulatora, frekvencije 48 MHz. Na njemu je vidljiva promena faze.



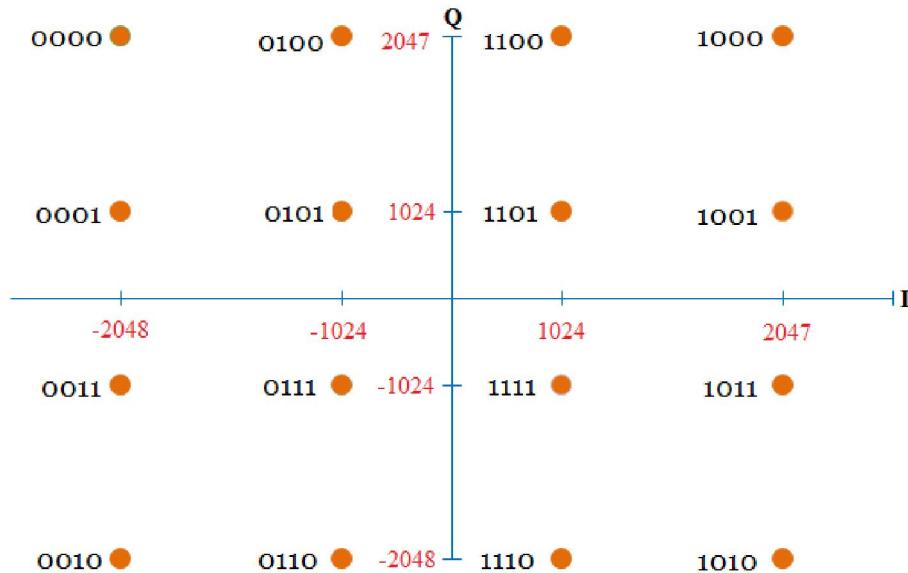
Slika 3.5 Povorka pravougaonih impulsa koji se dovode na modulator



Slika 3.6 Signal na izlazu modulatora kad se modulator pobuđuje kvadratnim signalima fazno pomerenim za 180°

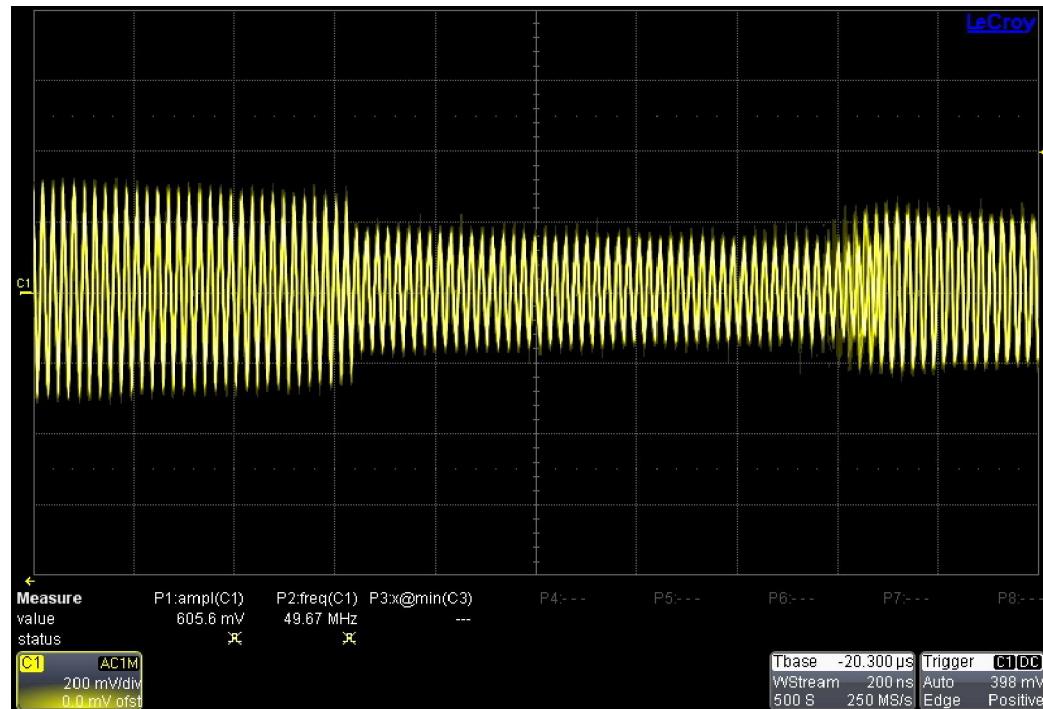
Nakon toga, modulator je pobudovan 12-bitnim simbolima iz 16QAM konstelacije (prikazana na slici 3.7). Simbole je generisao 16QAM generator implementiran u FPGA. Simboli

su prvo generisani redom (0 – 15), a zatim redosledom (0, 2, 10, 8, 1, 6, 11, 12, 3, 14, 9, 4, 7, 13, 5, 15).

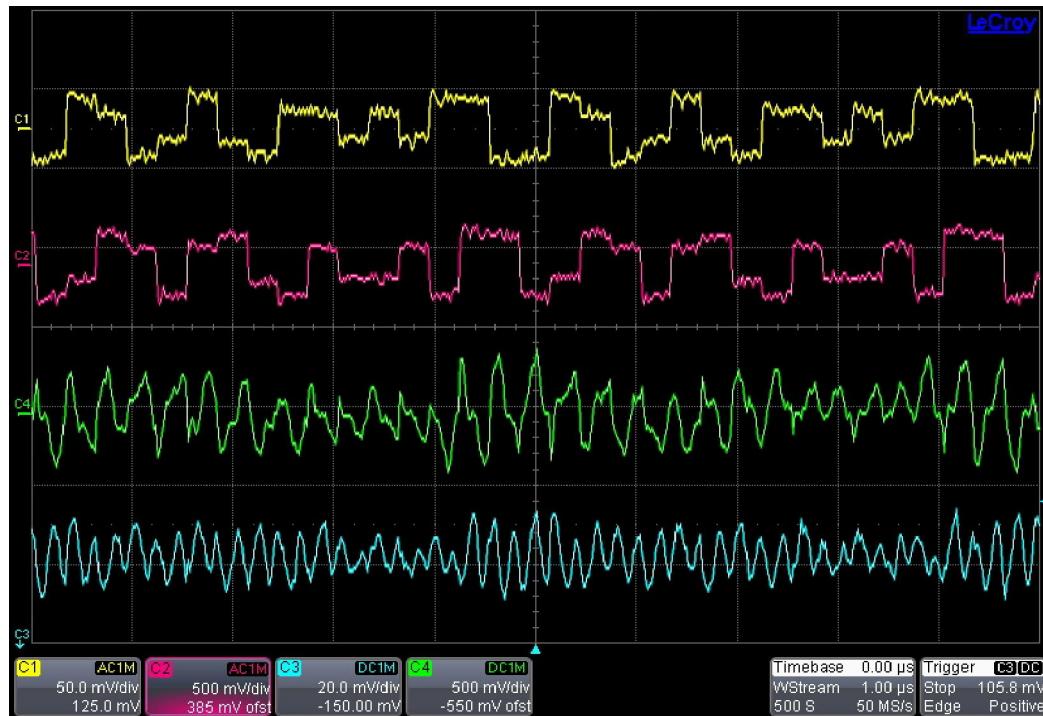


Slika 3.7 16QAM konstelacija koju generiše 16QAM generator

Vrednosti sa I (direktne) ose se šalju na I ulaz DAC-a, a vrednosti sa Q (kvadraturne) ose se šalju na Q ulaz. Sa DAC-a se zatim na *MOD_I* i *MOD_Q* ulaze modulatora dovode odgovarajući analogni signali. Na slici 3.8 se vidi prelaz sa jednog na drugi simbol kada se simboli šalju redosledom 0 – 15. Na slici 3.9 se vide vrednosti koje se dovode na *MOD_I* i *MOD_Q*, izlazni signal iz modulatora i izlaz iz tjunera kada 16QAM generator šalje simbole redosledom (0, 2, 10, 8, 1, 6, 11, 12, 3, 14, 9, 4, 7, 13, 5, 15). Primećuju se promene faze i amplitude karakteristične za 16QAM modulaciju.



Slika 3.8 Prelazi sa jednog na drugi simbol (redosled 0 – 15)

Slika 3.9 Odozgo nadole: *MOD_I* i *MOD_Q* ulazi modulatora, izlaz iz modulatora i izlaz iz tjunera kad se simboli generišu redosledom (0, 2, 10, 8, 1, 6, 11, 12, 3, 14, 9, 4, 7, 13, 5, 15)

U toku osposobljavanja generatorskog dela ove ploče, najveći problem je bio integritet signala. Šumovi su bili izraženi usled prepravki koje su navedene u dodatku A.

4. Zaključak

U ovom radu je prikazan razvoj generatorskog dela sistema za odabiranje i retransmisiju TV signala. Dat je pregled fizičke arhitekture sistema, sa posebnim osvrtom na generatorski podsistem i njegove delove. Opisane su metode verifikacije generatorskog podsistema. Rad generatora je verifikovan uz pomoć opisanih metoda (pobuđivanje modulatora povorkom pravougaonih signala fazno pomerenim za 180° , a zatim pobuđivanje simbolima iz 16QAM konstelacije). Veliki problem predstavlja integritet signala. Signali imaju izražen šum usled prepravki pločice.

Za dalji razvoj ploče potrebno je ponovo uraditi proces dizajniranja, sa rešenjima koja su data u dodatku A uzetim u obzir. Novi dizajn ploče bi rešio problem integriteta signala. Uradilo bi se i spajanje VHDL dizajna snimača i generatorskog podsistema, da bi ploča istovremeno mogla da radi i kao snimač i kao generator.

5. Literatura

- [1] Branko Borišev, “Sistem za slanje i snimanje TV test signala”, *Master rad*, Univerzitet u Novom Sadu, Fakultet tehničkih nauka, 2014.
- [2] Future Technology Devices International Ltd “FT232H single channel hi-speed USB to multipurpose UART/FIFO IC,” FT232H datasheet, Jan. 2011 [Revised Jan. 2013]
- [3] Intersil Americas Inc., “Intersil ISL5827,” ISL5827 datasheet, May 2004
- [4] RF Micro Devices “RFMD2081 45MHz to 2700MHz IQ modulator with synthesizer/VCO,” RFMD2081 datasheet, Jan 2010
- [5] RF Micro Devices Technical Staff, *RFMD Integrated Synthesizer/Mixer/Modulator Family Register Map Description*, RF Micro Devices, 2012.
- [6] RF Micro Devices Technical Staff, *RFMD Eval Board and Programming Tool Guide for Mixers and Modulators with Integrated Synthesizer*, RF Micro Devices, 2012.
- [7] Xilinx Inc. Technical Staff, *LogiCORE IP FIFO Generator v9.3 Product Guide*, Xilinx Inc, 2012.
- [8] Xilinx Inc, “LogiCORE IP ChipScope Pro Integrated Logic Analyzer (ILA) (v1.04a) Product Specification,” ILA datasheet, Mar. 2011
- [9] Xilinx Inc, “LogiCORE IP ChipScope Pro Integrated Controller (ICON) (v1.05a) Product Specification,” ICON datasheet, Mar. 2011
- [10] Xilinx Inc. Technical Staff, *LogiCORE IP Clocking Wizard 3.6 (ISE) / 4.2 (Vivado) Product Guide*, Xilinx Inc. 2012.

DODATAK A

U toku razvoja ploče urađene su sledeće prepravke na njoj:

1. *Pull-up* otpornici R34 i R35 od $10k\Omega$ su zamenjeni novim otpornicima od $1k\Omega$. Otpornici R12, R21, R13, R22, R8, R24 su zamenjeni otpornicima od 100Ω .
2. Transformatori T2 i T3 su zarotirani i srednji izvodi su priključeni na referentni napon od 1,3 V da bi *MOD_Q_P*, *MOD_Q_N*, *MOD_I_P*, *MOD_I_N* signali imali odgovarajuće naponske nivoe.
3. Operacioni pojačivači U3 i U4 su uklonjeni zajedno sa svim pasivnim komponentama oko njih.
4. Podešena je povratna sprega pojačavača U1 tako da mu izlaz bude 1,3V.
5. Umesto otpornika R33 stavljen je kondenzator vrednosti $10nF$. Dodat je i naponski razdelnik ($2 \times 240\Omega$) na nožicu 19 klok sintetizera U6 da bi naponski nivo signala *MIX_CLK_47MHz* bio $\sim 1,5V_{pp}$.
6. Otpornik R3 je zamenjen otpornikom od $15k\Omega$ da bi se podesio napon polarizacije modulatora. *OV5_OFFSET* je sada *IV3_OFFSET*.
7. Dodat je naponski razdelnik na *IV8_ADC_AVDD*; napon od $1V8/2$ (0,9V) je povezan na VREF nožicu za referentni napon ADC-a (U8 na šemi) i V_{OCM} nožicu operacionog pojačavača U18.
8. Nožica 34 od FT232H (U16 na šemi) je povezana na TP12 nožicu FPGA.
9. Takt od 20 MHz sa klok sintetizera je povezan na nožicu TP13 FPGA (zbog ovoga se stvaraju smetnje).
10. Na nožicu 15 FT232H (U16) stavljen je *pull-up* otpornik od $1k\Omega$ prema naponu od 3,3V.
11. Na nožicu 14 FT232H (U16) stavljen je *pull-up* otpornik od $4,7k\Omega$ prema naponu od 3,3V.

12. Na nožicu 13 FT232H (U16) stavljen je *pull-up* otpornik od $4,7\text{k}\Omega$ prema naponu od 3,3V.

Za sledeću reviziju se razmatra da se I²C komunikacija računara sa tjunerom, ADC-om i modulatorom radi u formi lanca, a ne u formi zvezde. Komunikacija računara sa komponentama koje se podešavaju preko I²C magistrale će prolaziti kroz FPGA, a za komponente koje komuniciraju preko SPI magistrale će postojati I²C/SPI pretvarač realizovan u FPGA. Takođe, razmatra se i da takt sintetizer bude uklonjen.