



УНИВЕРЗИТЕТ У НОВОМ САДУ ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА



УНИВЕРЗИТЕТ У НОВОМ САДУ
ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА
НОВИ САД

Департман за енергетику, електронику и телекомуникације
Усмерење за микрорачунарску електронику

ДИПЛОМСКИ – МАСТЕР РАД

Кандидат: Јован Ђукић

Број индекса: 11269

Тема рада: Једно решење физичке архитектуре универзалне
платформе за изучавање уграђених рачунарских система

Ментор рада: др Небојша Пјевалица

Нови Сад, март 2014.



УНИВЕРЗИТЕТ У НОВОМ САДУ • ФАКУЛТЕТ ТЕХНИЧКИХ НАУКА
21000 НОВИ САД, Трг Доситеја Обрадовића 6

КЉУЧНА ДОКУМЕНТАЦИЈСКА ИНФОРМАЦИЈА

Редни број, РБР:	
Идентификациони број, ИБР:	
Тип документације, ТД:	Монографска документација
Тип записа, ТЗ:	Текстуални штампани материјал
Врста рада, ВР:	Дипломски – мастер рад
Аутор, АУ:	Јован Ђукић
Ментор, МН:	Др Небојша Пјевалица
Наслов рада, НР:	Једно решење физичке архитектуре универзалне платформе за изучавање уграђених рачунарских система
Језик публикације, ЈП:	Српски / латиница
Језик извода, ЈИ:	Српски
Земља публикаовања, ЗП:	Република Србија
Уже географско подручје, УГП:	Војводина
Година, ГО:	2014.
Издавач, ИЗ:	Ауторски репринт
Место и адреса, МА:	Нови Сад; трг Доситеја Обрадовића 6
Физички опис рада, ФО: (поглавља/страна/ цитата/табела/слика/графика/прилога)	6/43/9/1/28/0/0
Научна област, НО:	Електротехника и рачунарство
Научна дисциплина, НД:	Рачунарска техника
Предметна одредница/Кључне речи, ПО:	
УДК	
Чува се, ЧУ:	У библиотеци Факултета техничких наука, Нови Сад
Важна напомена, ВН:	
Извод, ИЗ:	У раду је приказана физичка архитектура универзалне платформе за изучавање уграђених рачунарских система, заснована на програмабилној матрици. Е2ЛП развојна платформа је намењена за извршавање лабораторисјких вежби са разним типовима спрега које се налазе на платформама. Платформа може бити коришћена за више курсева у области пројектовања дигиталних и рачунарских система и развоја програмске подршке.
Датум прихватања теме, ДП:	20.02.2014
Датум одбране, ДО:	06.03.2014.
Чланови комисије, КО:	Председник: Др Никола Теслић
	Члан: Др Милош Сланкаменац
	Члан, ментор: Др Небојша Пјевалица
	Потпис ментора



KEY WORDS DOCUMENTATION

Accession number, ANO :			
Identification number, INO :			
Document type, DT :	Monographic publication		
Type of record, TR :	Textual printed material		
Contents code, CC :	Master Thesis		
Author, AU :	Jovan Đukić		
Mentor, MN :	Nebojša Pjevalica, PhD		
Title, TI :	HARDWARE ARCHITECTURE OF A UNIFIED EMBEDDED ENGINEERING LEARNING PLATFORM		
Language of text, LT :	Serbian		
Language of abstract, LA :	Serbian		
Country of publication, CP :	Republic of Serbia		
Locality of publication, LP :	Vojvodina		
Publication year, PY :	2014.		
Publisher, PB :	Author's reprint		
Publication place, PP :	Novi Sad, Dositeja Obradovica sq. 6		
Physical description, PD : (chapters/pages/ref./tables/pictures/graphs/appendixes)	6/43/9/1/28/0/0		
Scientific field, SF :	Electrical Engineering		
Scientific discipline, SD :	Computer Engineering, Engineering of Computer Based Systems		
Subject/Key words, S/KW :			
UC			
Holding data, HD :	The Library of Faculty of Technical Sciences, Novi Sad, Serbia		
Note, N :			
Abstract, AB :	This paper presents a hardware architecture of a unified embedded engineering learning platform, based on FPGA. Development platform is designed to perform laboratory exercises related to various interfaces connected to FPGA and peripherals that are found on the platform. This platform is created as universal and can be used for several courses in the area of digital and computer system design.		
Accepted by the Scientific Board on, ASB :	20.02.2014		
Defended on, DE :	06.03.2014.		
Defended Board, DB :	President:	Nikola Teslić, PhD	
	Member:	Miloš Slankamenac, PhD	Menthor's sign
	Member, Mentor:	Nebojša Pjevalica, PhD	

SADRŽAJ

1. Uvod	1
2. Početni koraci u projektovanju	3
2.1 Specifikacija projekta	3
2.2 Koncept univerzalne platforme za izučavanje ugrađenih računarskih sistema	4
2.3 Idejno rešenje	5
3. Projektovanje i izrada fizičke arhitekture	7
3.1 Razvijanje šema po blokovima	8
3.1.1 FPGA	9
3.1.2 Mikrokontroler	10
3.1.3 Memorijski moduli	12
3.1.4 RS-232	12
3.1.5 Infra-crveni prijemnik	13
3.1.6 USB	14
3.1.7 Ethernet	15
3.1.8 Video enkoder	16
3.1.9 Video dekoder	17
3.1.10 Video DAC	18
3.1.11 HDMI	18
3.1.12 Audio kodek	20
3.1.13 Korisnička sprega	20
3.1.14 Mezzanine	21
3.2 Projektovanje štampanih ploča	22
3.2.1 Savremeni alati za projektovanje štampanih ploča – Altium designer	22

3.2.2	Ograničenja	24
3.2.3	Kritične sprege.....	26
3.3	Kućište za uređaj.....	34
3.4	Testiranje uređaja	35
4.	Pristup na daljinu.....	38
5.	Zaključak	40
6.	Literatura	42

SPISAK SLIKA

Slika 2.1 Grafički prikaz mogućnosti koje platforma nudi	4
Slika 2.2 Blok šema razvojne ploče.....	6
Slika 2.3 Programiranje ploče pomoću računara.	6
Slika 3.1 Top level	9
Slika 3.2 Blok šema mikrokontrolera	11
Slika 3.3 Tipično kolo ADM3232	13
Slika 3.4 Tipično kolo IR prijemnika	13
Slika 3.5 Osnovni blok dijagram za ULPI USB uređaje	14
Slika 3.6 Blok dijagram USB3300	15
Slika 3.7 Osnovni blok za LXT972M.....	16
Slika 3.8 Osnovni blok za LXT972M.....	17
Slika 3.9 Arhitektura video dekodera, ADV7180.....	17
Slika 3.10 Funkcionalni blok dijagram ADV7125	18
Slika 3.11 Blok šema HDMI predajnika, ADV7511.....	19
Slika 3.12 Audio kodek, ADAU1772	20
Slika 3.13 Korisnička sprega.....	21
Slika 3.14 Izgled stack up-a	25
Slika 3.15 Oscilacija pri promeni stanja	27
Slika 3.16 Proračun impedanse u alatu Polar	28
Slika 3.17 Reflektovanje na mestu promene impedanse	29
Slika 3.18 Ilustracija potrebe za terminacijom	30
Slika 3.19 Povećanje petlje zbog prekida u povratnoj putanji	31
Slika 3.20 Postavka kondenzatora raznih vrednosti naspram DDR čipa.....	32
Slika 3.21 Izjednačavanje dužine signala u Altium Designer-u.....	33

Slika 3.22 3D model ploče.....	34
Slika 3.23 Gotov uređaj	35
Slika 3.24 Rezultat testa	37
Slika 4.1 Povezivanje preko interneta.....	39

SPISAK TABELA

Tabela 1 Zavisnost bloka od formata ulaznog videa.....	18
--	----

SKRAĆENICE

FPGA	- <i>Field-programmable Gate Array</i> , Programabilna matrica
E2LP	- <i>Embedded engineering learning platform</i> , univerzalna platforma
USB	- <i>Universal serial bus</i> ,
RISC	- <i>Reduced instruction set computing</i>
DDR	- <i>Double data rate</i>
UART	- <i>Universal asynchronous receiver/transmitter</i>
HDMI	- <i>High-Definition Multimedia Interface</i>
SD	- <i>Standard Definition</i> , Standardna definicija (kvalitet)
HD	- <i>High Definition</i> , Visoka definicija (kvalitet)
CVBS	- <i>Composite Video, Blanking, and Sync</i>
FMC	- <i>FPGA Mezzanine Card</i>
JTAG	- <i>Joint Test Action Group</i> , Sprežni sistem za testiranje
DSP	- <i>Digital Signal Processor</i> , Digitalni signal procesor
EMI	- <i>Electromagnetic interference</i>
PCB	- <i>Printed Circuit Board</i> , Štampana ploča
BGA	- <i>Ball-Grid Array</i> , Integrisano kolo za mrežom pinova
IPC	- <i>Interconnecting and packaging electronic Circuit</i>
VGA	- <i>Video Graphics Array</i>
MMC	- <i>MultiMediaCard</i>

1. Uvod

Česta ideja vodilja u obrazovanju inženjera za razvoj sistema zasnovanih na računaru jeste upoznavanje sa različitim sistemima i periferijama, kroz praktičan rad u laboratorijama. Kako ugrađeni računarski sistemi postaju sve kompleksniji, usložnjavaju se i zahtevi u vezi sa obrazovanjem i profilisanjem inženjera.

Razvoj savremenih računarskih sistema podrazumeva niz prethodno stečenih iskustava u radu sa raznolikim elektronskim komponentama, različitog nivoa složenosti, kao i poznavanja širokog varijeteta sprege i sučelja među njima. Za potrebe sticanja praktičnih iskustava važan je neposredan rad sa razvojnim okruženjima i odgovarajućom programskom podrškom, koja kao podrška proizvođača prate praktično sve elektronske naprave na tržištu.

Kako se broj sprega koje se izučavaju u nastavnom programu stalno uvećava, uvećava se i potreba za korišćenjem i savladavanjem sve više različitih alata, programskih okruženja i programskih jezika. Jedan od glavnih ciljeva u organizovanju modernih nastavnih programa jeste postići prezentovanje uvećane količine informacija u ograničenom vremenskom periodu. Ovo nameće potrebu organizacije nastavnih programa tako da se, već savladane tehnike, iznova koriste na novim kursevima. Time se izostavlja period potreban za upoznavanje sa alatima i programskim okruženjima, tako su studenti u mogućnosti da odmah pristupe izučavanju tema važnih za sam predmet. Važno je da studenti razumeju vezu između fizičke arhitekture i odgovarajuće programske podrške više različitih komponentata čime im se omogućuje da razvijaju kompletne aplikacije.

U ovom radu opisana je razvojna platforma koja prati nastavni program na studijama računarske tehnike i računarskih komunikacija. Na platformi je iskorišćen FPGA, sistem promenljive fizičke arhitekture, sposoban da modifikuje svoje ulaze i izlaze tako da zadovolji konfiguracije ulazno-izlaznih pinova zahtevanih standardom definisanim za određenu spregu. FPGA služi kao blok za manipulisanje ulaznim i izlaznim audio i video signalima i podacima.

FPGA takođe može biti konfigurisan i korišćen i kao procesor opšte namene, na primer MicroBlaze razvijen od strane Xilinx-a za njihova FPGA kola. Za svaku spregu korišćenu na platformi postoji odgovarajući integrisani prijemnik, a svaki prijemnik je neposredno povezan na FPGA sa određenim brojem komunikacionih linija.

U narednim poglavljima detaljnije je opisan ceo projekat i fizička arhitektura uređaja.

Rad je podeljen u pet poglavlja :

- U drugom poglavlju navedeni su početni koraci u projektovanju
- U trećem poglavlju su prikazani projektovanje i izrada fizičke arhitekture
- U četvrtom poglavlju je ukratko opisana mogućnost pristupa na daljinu
- U petom poglavlju dat je zaključak

2. Početni koraci u projektovanju

Izrada složenog elektronskog uređaja zahteva unapred jasno definisane korake i procedure kroz koje treba proći do finalnog proizvoda. Pisanje specifikacije projekta i zahteva za fizičku arhitekturu uređaja je neophodan polazni korak koji znatno olakšava ceo proces izrade projekta.

2.1 Specifikacija projekta

Specifikacija projekta treba da definiše ceo tok izrade uređaja, korak po korak, onako kako to sam projekat zahteva. Ako rad na izradi projekta možemo podeliti u nekoliko velikih faza, specifikacija projekta treba unapred da uputi na moguće probleme tokom prolaska kroz svaku fazu projektovanja.

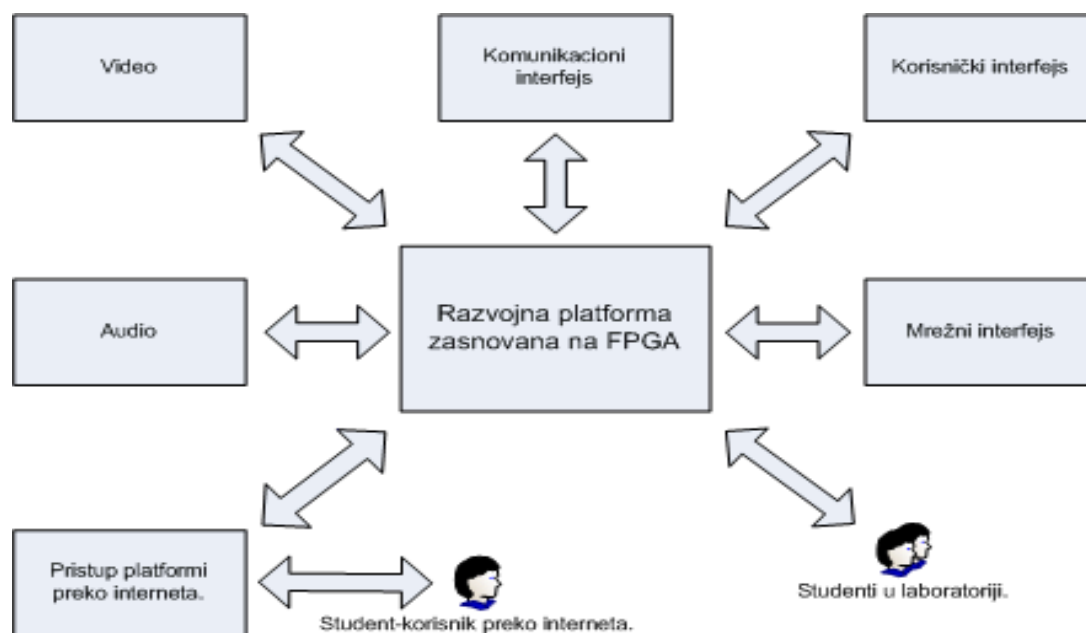
Faze u projektovanju fizičke arhitekture:

- pregled zahteva - namena uređaja, funkcionalnost, zahtevani standardi
- idejno rešenje - platforma na kojoj će uređaj biti razvijan, blok šema
- prikupljanje informacija - dostupnost komponenata i ostalog materijala na tržištu
- razvijanje šeme po blokovima
- projektovanje štampane ploče
- izrada štampanih ploča i montaža komponenata
- oživljavanje ploča (bring-up) i funkcionalno testiranje
- eventualne izmene i dorade fizičke arhitekture - revizije
- izrada dokumentacije za proizvedeni uređaj

Specifikacija projekta mora da obuhvati plan za verifikaciju funkcionalnosti, odnosno kompletnu neophodnu sertifikaciju platforme. Testni plan treba da pokrije odgovarajućim testovima sve sprege neophodne za siguran i pouzdan rad platforme.

2.2 Koncept univerzalne platforme za izučavanje ugrađenih računarskih sistema

E2LP (Embedded Engineering Learning Platform) projekat je pokrenut sa glavnom idejom da se obezbedi jedinstvena platforma koja će pokriti kompletan proces izučavanja ugrađenih računarskih sistema [1]. Ovom razvojnom platformom potrebno je omogućiti studentima da, izvođenjem eksperimenata i vežbi na njoj, uvećaju svoja praktična znanja u vezi projektovanja ugrađenih računarskih sistema, audio i video sprega, kao i mrežnih i komunikacionih sprega. Stečena znanja neophodna su za rad u odgovarajućoj industriji gde je potražnja za inženjerima sa navedenim znanjima sve veća zbog povećane uloge i upotrebe ugrađenih računarskih sistema u različitim aplikacijama u industriji. Jedinstvena platforma, sa svim datim spregama na njoj, pokriva kompletan ciklus vežbi za nekoliko nastavnih programa i predstavlja ne samo uštedu u novcu (umesto kupovine više razvojnih ploča koristi se samo jedna), već i značajnu uštedu u vremenu jer studenti ne moraju za svaki novi kurs da se upoznaju sa novom platformom i pratećom programskom podrškom, nego koriste već poznatu i odmah uče bitnu materiju predmeta. Grafički prikaz mogućnosti koje platforma nudi dat je na slici 2.1.



Slika 2.1 Grafički prikaz mogućnosti koje platforma nudi.

Obzirom da je pristup opremi u laboratoriji vremenski ograničen i da studenti koji se školuju na daljinu uopšte nemaju mogućnost korišćenja laboratorije jedna od značajnih mogućnosti koju donosi ova razvojna platforma jeste pristup platformi na daljinu.

Neke od funkcija koje platforma obezbeđuje su [2]:

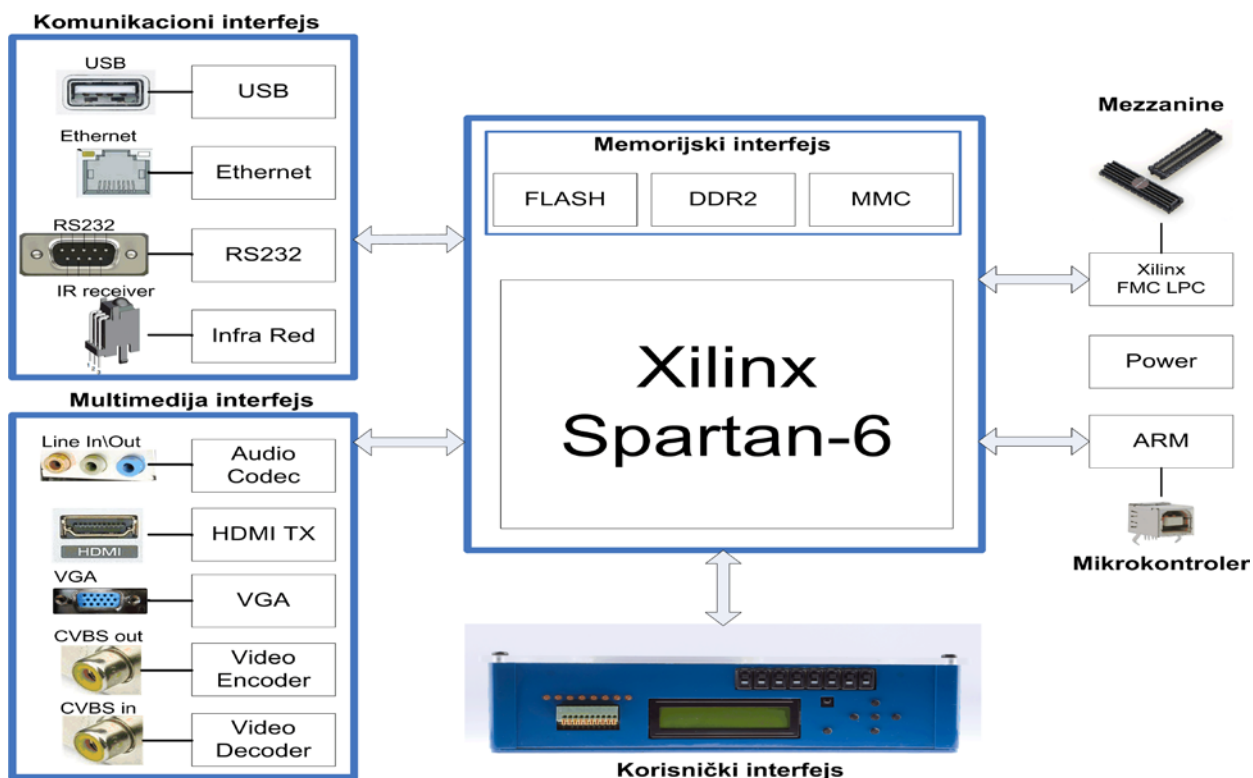
- programiranje ugrađenih računarskih i mikroprocesorskih sistema
- digitalna obrada signala (audio, video i podataka)
- projektovanje digitalnih sistema
- računarske mreže i sprege
- pristup na daljinu pomoću USB-a (universal serial bus) preko mreže i računara.

2.3 Idejno rešenje

Ideja je da se za manipulisanje ulaznim signalima koristi FPGA (field-programmable gate array) kolo. FPGA, kao sistem promenljive fizičke arhitekture, lako se modifikuje tako da zadovolji različite potrebe raznih sprega povezanih na njega. Takođe, opremljen je dodatnim kolima za rad sa svakom od sprega, čime se ostvaruje jednostavno upravljenje ulaznim i izlaznim audio, video i drugim signalima. Dodatnu pogodnost za jedan ovakav sistem predstavlja to što FPGA može biti korišćen i kao procesor opšte namene. Projektovanje potpuno funkcionalnog procesora [3] za ovu razvojnu platformu deo je druge polovine prvog kursa na ovoj univerzalnoj platformi, vezano za projektovanje digitalnih sistema. Takođe može se koristiti i MicroBlaze [4], RISC procesor optimizovan za ugradnju u Xilinx-ove FPGA. Još jedna pogodnost jeste mogućnost korišćenja gotovih IP (intellectual property) core blokova za dati FPGA kao što su Ethernet kontroler, kontroler za DDR, UART (universal asynchronous receiver/transmitter) i slično.

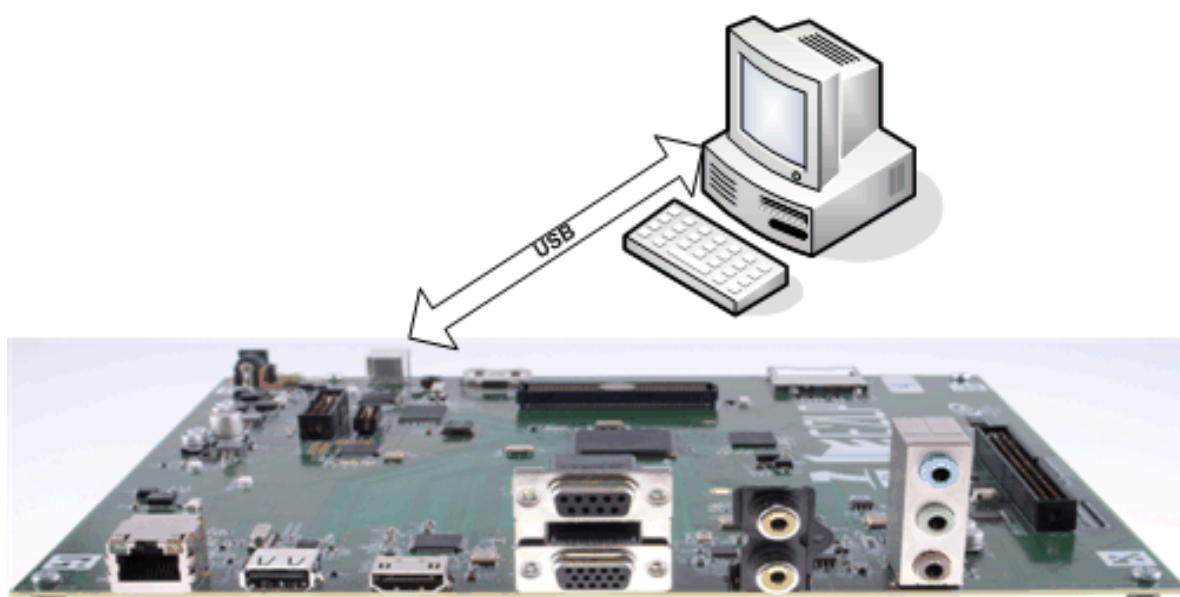
Fizička arhitektura uređaja se može podeliti na nekoliko logičkih celina. Pojedine sprege su grupisane u zajedničke blokove po kriterijumu sličnosti funkcija koje obavljaju i njihova realizacija će biti detaljnije opisana, u okviru odgovarajućih blokova, za svaku spregu pojedinačno. Blok šema razvojne ploče sa spartan-6 FPGA kolom kao centralnom jedinicom na koju su spregnuti svi ulazi i izlazi data je na slici Sl. 2.2.

Konfigurisanje FPGA može biti izvedeno na dva načina. Iz fleš memorije, koja je prethodno isprogramirana i preko računara, tj. mikrokontrolera kojem računar pristupa koristeći USB spregu kako je prikazano na slici Sl. 2.3.



Slika 2.2 Blok šema razvojne ploče.

Složeni računarski i digitalni sistemi se ne mogu jednostavno razviti bez prethodno stečenih iskustava u radu sa odabranim komponentama i na projektovanju sistema iz iste oblasti primene. Evaluacione platforme kao što je ova služe za upoznavanje sa raznim spregama i razvoj funkcija koje se kasnije mogu preneti na neke nove projekte.



Slika 2.3 Programiranje ploče pomoću računara.

3. Projektovanje i izrada fizičke arhitekture

Sprovedenim istraživanjem među profesorima i studentima koji su aktivni na kursovima vezanim za sisteme zasnovane na računaru utvrđeni su zahtevi za osnovne funkcionalnosti buduće jedinstvene E2LP platforme. Cilj sprovedene ankete bio je da se definiše osnovni set vežbi bazirano na dobrim iskustvima sa nekim postojećim platformama kao i zahtevi za novim.

Nakon utvrđivanja osnovnih zahteva ostalo je da se odredi odgovarajući skup komponenata koji će tu funkcionalnost zadovoljiti. Izabrane komponente treba pored funkcionalnih da zadovolje i finansijske zahteve u smislu željene, predviđene cene kompletne platforme. Izbor komponenata radio je tim od nekoliko inženjera dobro upoznatih sa karakteristikama korišćenih sprega i protokola koji će biti zastupljeni na platformi. Zatim je ostalo da se na osnovu izabranih komponenata i iz idejnog rešenja razvije kompletna šema uređaja. Pri tome jako je važno ispoštovati preporuke proizvođača čipova u vezi napajanja čipa, zatim vrednostima spolja dodatih pasivnih komponenata, pozicioniranju čipa u odnosu na druge komponente i slično.

Osim električne šeme, potrebno je planirati i spoljni izgled, veličinu kućišta, raspored konektora na ploči i ostale elemente, kako bi uređaj dobio formu finalnog proizvoda. Na prednjoj strani kutije postavljena je pomoćna ploča sa elementima za komunikaciju korisnika sa platformom, tako da, ukoliko je potrebno kamerom nadgledati stanja dioda i LCD displeja, za potrebe pristupa na daljinu, to se može lako realizovati. Na jednoj od bočnih strana su konektori, ulazi i izlazi svih sprega sa FPGA predviđenih za izvođenje vežbi, a na drugoj bočnoj strani prekidač za napajanje i USB konektor preko kojeg računar pristupa mikrokontroleru. Na zadnjoj strani postoji odgovarajući otvor za hlađenje.

U poglavlju 3.1 su opširnije opisani blokovi od značaja, sa prikazanim principskim blok šemama, odnosno minimalnim celinama od kojih se sastoji sistem. Blok za napajanje nije naveden kao posebna celina, ali je veoma važno voditi računa pri projektovanju napajanja, jer je

podloga ispravnog funkcionisanja svakog uređaja kvalitetno izvedeno napajanje. Platforma je napajana sa 12V. Dalje su potrebna napajanja realizovana na ploči, korišćenjem *buck* DC/DC pretvarača. Tako su dobijene potrebne vrednosti od 0.9V, 1.2V, 1.8V, 2.5V, 3.3V i 5V.

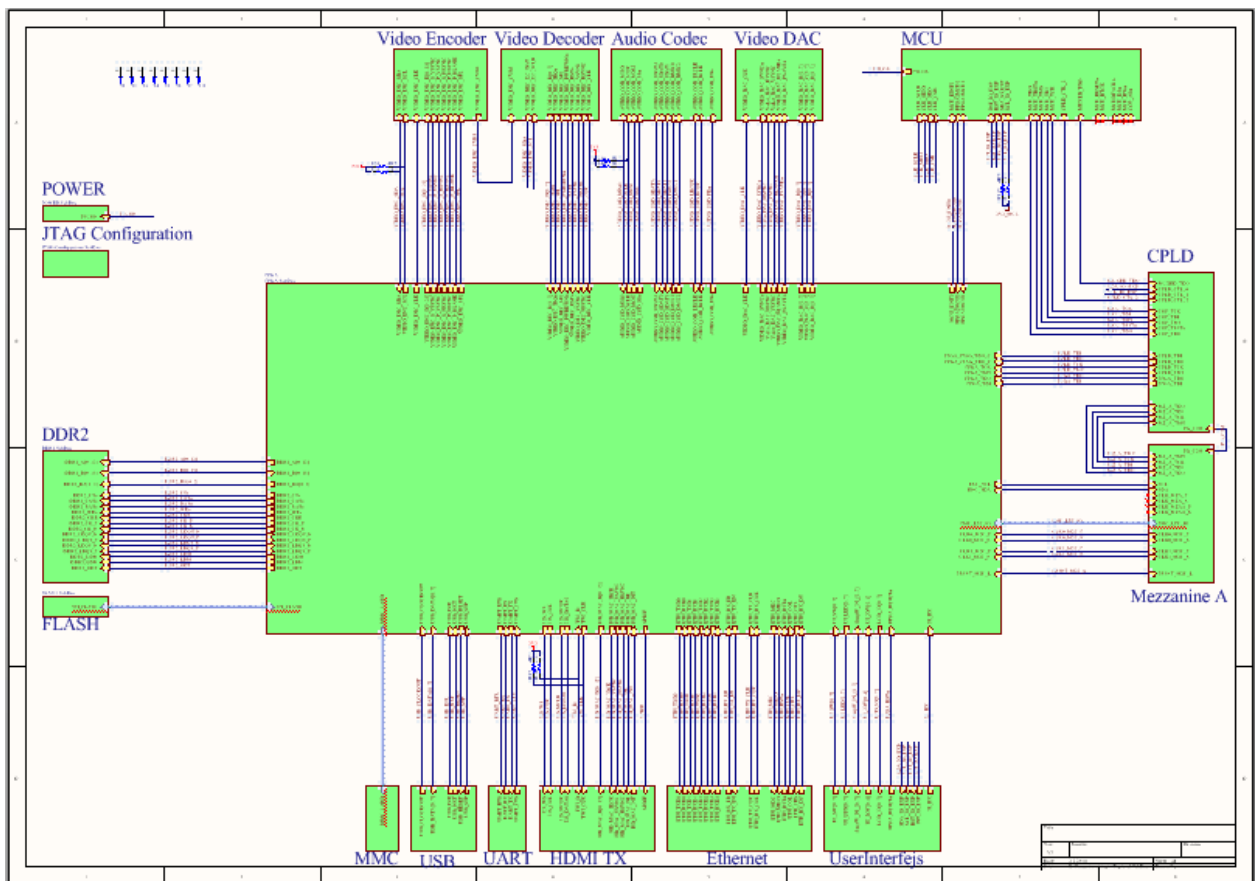
Poglavlje 3.2 govori o projektovanju štampane ploče, gde je cilj da se predoče najvažniji i najzahtevniji koraci tokom projektovanja. Dati su i osnovni podaci o štampanoj ploči.

Montaža i testiranje E2LP platforme su ukratko opisani u poglavljima 3.3 i 3.4.

3.1 Razvijanje šema po blokovima

Kompletna šema, jednog ovako složenog sistema, često zauzima do deset, pa i više, strana A3 ili A4 formata. Radi dobre preglednosti šeme, tokom projektovanja kompleksnih elektronskih sklopova, preporučljivo je da se projektovanje zasniva na određenoj hijerarhiji, gde se složeniji blokovi sastoje iz jednostavnijih. Time se velika i nepregledna električna šema razloži na manje, preglednije celine, od kojih se svaka zasebno uređuje. Takođe, svaka od posebno uređenih celina, kao što je na primer HDMI blok, može se kasnije u celosti iskoristiti u nekom narednom projektu.

Na slici 3.1 vidimo jedan projekat zasnovan na hijerarhiji, gde je projekat podeljen u određene logičke celine, blokove, pri čemu je svaki blok, na glavnoj šemi ("Top level"), prikazan određenim simbolom. Svaki simbol povezan je odgovarajućom šemom za navedeni blok. Simboli su međusobno povezani linijama koje predstavljaju signale koje razmenjuju dva bloka.



Slika 3.1 Top level

Za svaku spregu na platformi postoji odgovarajuće prijemno kolo, što omogućava korišćenje minimalnog broja komponenata, a da pri tom budu zadovoljeni definisani zahtevi projekta. Kao što pokazuje slika 3.1, svaki blok je direktno povezan na FPGA sa određenim brojem komunikacionih linija.

3.1.1 FPGA

Kao centralna komponenta sistema koristi se Xilinx FPGA integrisano kolo iz familije Spartan-6 sa oznakom XC6SLX45 namenjeno za primanje sadržaja sa ulaza i slanja na izlaze, pri čemu koristi DDR2 za privremeno smeštanje sadržaja, na primer video tokova koji se prosleđuju na HDMI izlaz. Sa korišćenim kućištem FGG676 korisniku su na raspolaganju 358 ulazno-izlaznih pinova, odnosno 179 diferencijalnih parova, koji omogućavaju direktno povezivanje FPGA na sve blokove. Izlazni pinovi su takvi da se mogu konfigurisati da podrže razne sprege definisane standardom. Pojedinačni izlazi mogu biti LVCMOS, LVTTL, HSTL, SSTL, PCI, dok diferencijalni mogu biti LVDS, RSDS, TMDS, diferencijalni HSTL i SSTL, sa odgovarajućim terminacijama na čipu. Naponski nivoi ulazno-izlaznih pinova su u opsegu 3.3V do 1.2V, definisanim standardom, sa strujnim mogućnostima do 24mA po pinu. Podržana brzina prenosa podataka je do 1080 Mb/s. FPGA takođe raspolaze sa 18Kb RAM-a, kao i mogućnošću

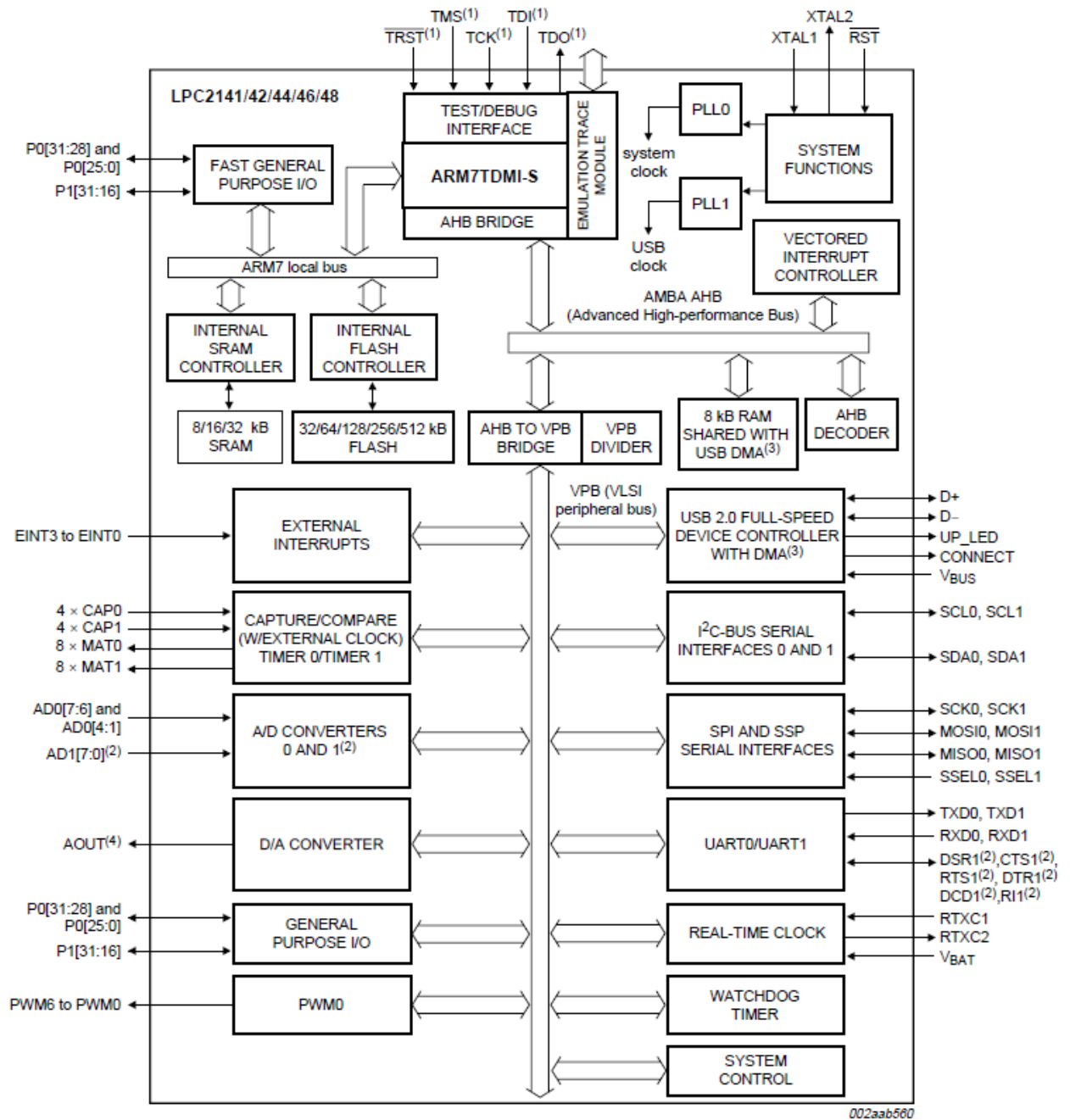
korišćenja ugrađenog MicroBlaze procesora. Spartan-6 ima ugrađeni kontroler blok za rad sa DDR2 memorijom i podržava protok do 800 Mb/s. Uz FPGA koristi se i odgovarajući PROM sa oznakom XCF16P veličine 16Mb koji je programabilan i služi za smeštanje koda za konfigurisanje FPGA. Koristi posebna dva pina da automatski prepozna način konfigurisanja, na primer, ukoliko su oba pina na “nuli” automatski se FPGA programira sadržajem zapisanim u PROM-u.

Neke od karakteristika ove “programabilne matrice” su:

- do 147 443 logicke celije
- 18Kb RAM-a
- 358 I/O pinova, od toga 179 diferencijalnih parova
- LVCMOS, LVTTTL, HSTL, i SSTL I/O signali
- 3.3V, 2.5V, 1.8V, 1.5V, i 1.2V nivoi I/O signala
- LVDS, RSDS, TMDS, HSTL/SSTL diferencijalni I/O sa ugrađenim terminacionim otpornicima
- kontroler blok za rad sa DDR2

3.1.2 Mikrokontroler

Mikrokontroler na ovoj platformi ima mogućnost upravljanja ulazima i izlazima predviđenim za komunikaciju korisnika sa platformom, kao i mogućnost programiranja FPGA. Korišćen je Philips LPC2144 zasnovan na 16-bit/32-bit ARM-u (*advanced reduced instruction set computing machine*). Veličina memorije mikrokontrolera je 16kB RAM-a i 128kB fleš memorije, takt je na 60MHz. Analogni ulazi i izlazi podržani su korišćenjem 10-bitnih AD i DA konvertora. Neke od sprega kojima raspolaže su USB, SPI, UART, I2C. Potpuno je kompatibilan sa USB2.0 spregom, pomoću kojeg i ostvaruje komunikaciju sa računarom. Preko I2C-a i odgovarajućih kola kontroliše korisničku spregu, a ima i opciju programiranja FPGA uključenjem u lanac za programiranje. Na slici 3.2 prikazana je blok šema mikrokontrolera.



Slika 3.2 Blok šema mikrokontrolera

Neke od karakteristika ovog mikrokontrolera:

- 16-bit/32-bit ARM
- 16kB RAM memorije
- 128kB flash memorije
- USB2.0 kompatibilan
- 10-bit ADC
- 10-bit DAC
- 60 MHz takt
- napajanje od 3 do 3.6V

3.1.3 Memorijski moduli

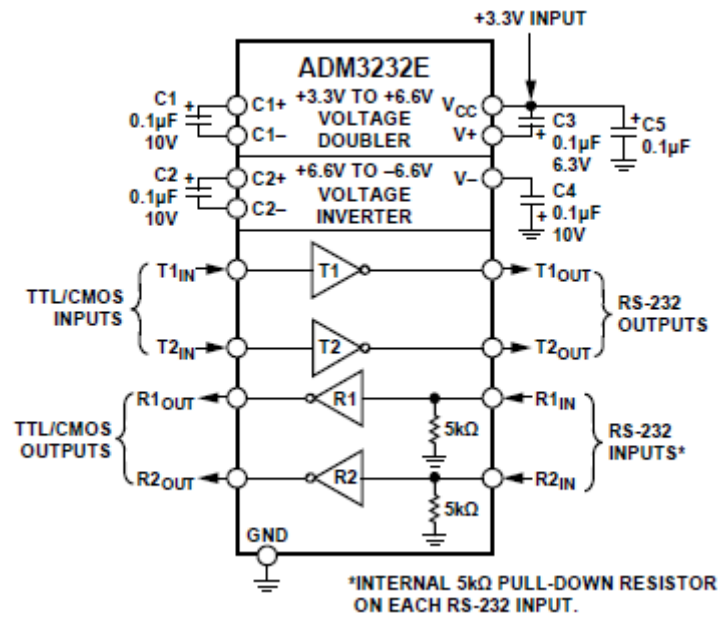
Za smeštanje i čuvanje podataka predviđeno je nekoliko opcija. Dinamička memorija, DDR2 kapaciteta 2 Gb (128M x 16), model MT47H128M16-3, čija je namena privremeno čuvanje video sadržaja koji će biti prikazan na nekom od izlaza, recimo korišćenjem HDMI sprege. Ova memorija radi na 1.8V. DDR2 memorijski blok je spregnut na kontroler realizovan u FPGA koji je sastavni deo paketa podrške proizvođača. Kod uređaja ovog nivoa kompleksnosti, blok sa operativnom memorijom je najzahtevniji deo za projektovanje, posebno kada je reč o projektovanju štampane ploče. Na ovoj oblasti potrebno je postići maksimalnu brzinu rada u cilju što boljeg iskorišćenja memorijskog prostora, pa je neophodno pratiti pravila projektovanja koja je propisao proizvođač memorija, odnosno FPGA čipa. Korišćen je jedan 16-bitni modul. Ova memorija podržava JEDEC standard 1.8V I/O, SSTL_18 kompatibilna (*Stub series terminated logic*), tako da za zadovoljavajuće performanse treba obezbediti odgovarajuće terminacije vodova.

Pored DDR2 memorije, postoji i fleš memorija, kapaciteta 256 Mb, koja koristi SPI (serial peripheral interface) spregu za komunikaciju sa FPGA. Takođe predviđeno je i korišćenje MMC (multimediacard) kartice za smeštanje raznih podataka. MMC je na FPGA povezana direktno, komunicira pomoću SPI protokola.

3.1.4 RS-232

RS-232 je predviđen za serijsku komunikaciju. Konektor za serijsku komunikaciju je preko odgovarajućeg, primopredajnika ADM3232, koji ima i ulogu prilagođenja naponskih nivoa, povezan na FPGA. Odgovarajući naponski nivoi za RS-232 prave se od napona napajanja čipa 3.3V pomoću naponskog konvertora (*charge pump*) čime se dobijaju potrebni naponski nivoi $\pm 6V$ potrebni za RS-232. Na slici 3.3 vidimo predajni deo koji 3.3V TTL/SMOS logiku

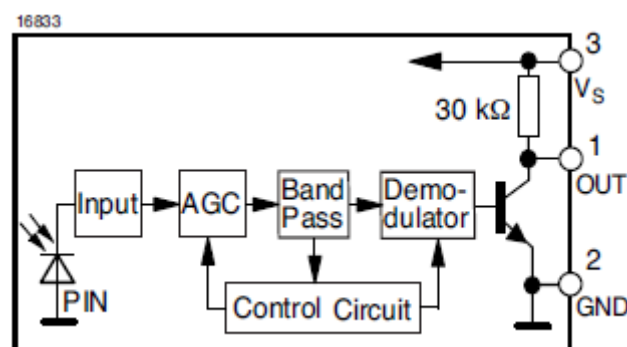
konvertuje u RS-232 i prijemni koji radi obrnutu konverziju. Ostvarena komunikacija je sa protokom podataka do 460 kbps.



Slika 3.3 Tipično kolo ADM3232

3.1.5 Infra-crveni prijemnik

Infra-crveni prijemnik, proizvođača Vishay Semiconductor, oznake TSOP34836RF1, je minijaturni prijemnik za detekciju svetla koje dolazi od infra-crvenih predajnika koji služe za daljinsko upravljanje. Dioda i predpojačavač su integrisani u isto kućište. Izlaz je TTL i CMOS kompatibilan, tako da se demodulisani izlazni signal može direktno voditi na FPGA. Radi na frekvenciji od 36kHz. Blok dijagram odgovarajućeg čipa dat je na slici 3.4.

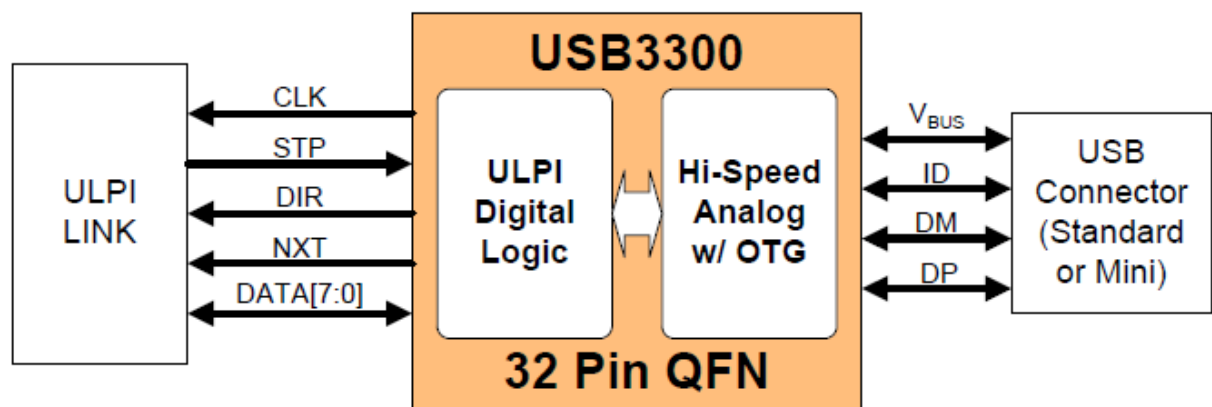


Slika 3.4 Tipično kolo IR prijemnika

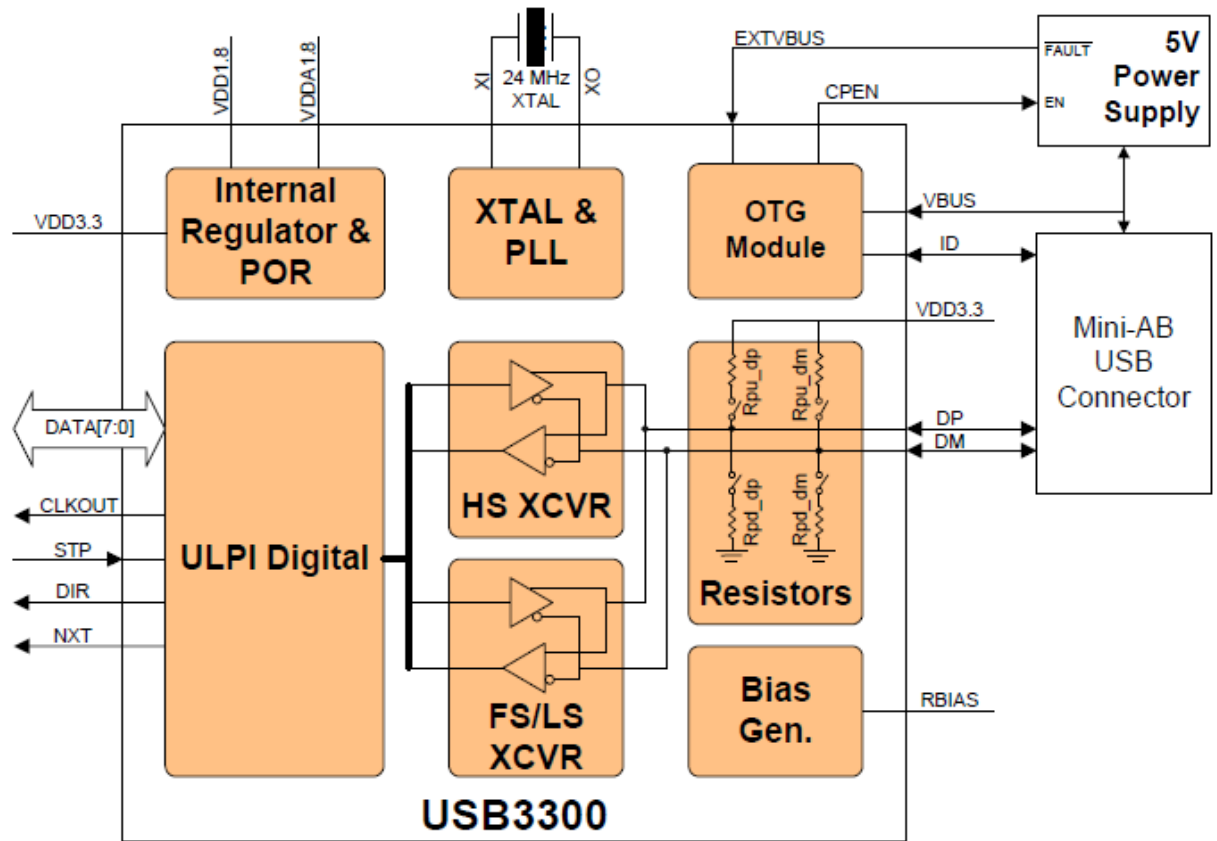
3.1.6 USB

USB 2.0 sprega je takođe predviđena na razvojnoj platformi. Konekcija USB-a na FPGA omogućena je brzim primopredajnikom za komunikaciju na fizičkom nivou, USB3300, koji smanjuje broj pinova potrebnih za komunikaciju na fizičkom nivou sa FPGA na 12, koristeći ULPI standard. Odgovarajući standard podrazumeva da USB3300 može da radi kao host, device i OTG (On-The-Go) bez dodatnih pinova. Na slici 3.5 prikazan je osnovni blok dijagram vezan za ULPI standard. Vidimo da opisana sprega koristi svih 12 pinova, tj signala, od toga 8 dvosmernih linija za podatke 3 kontrolna pina i jedan za klock. Brzi USB zahteva paralelnu spregu između FPGA i PHY (physical layer) kontrolera u cilju postizanja protoka na magistralama do 480Mbps.

Pregled funkcionalnosti celog čipa USB3300 možemo videti na slici 3.6. Na slici 3.6 vidimo da, pored ovog čipa i odgovarajućeg konektora, sprega zahteva još i dodatno napajanje, 5V sa ograničenjem struje na izlazu. Napajanje je realizovano odgovarajućim čipom MP62551, proizvođača “Monolithic power systems” sa programabilnim izlazom u smislu ograničenja struje. U konkretnom primeru ograničenje je podešeno na 500mA.



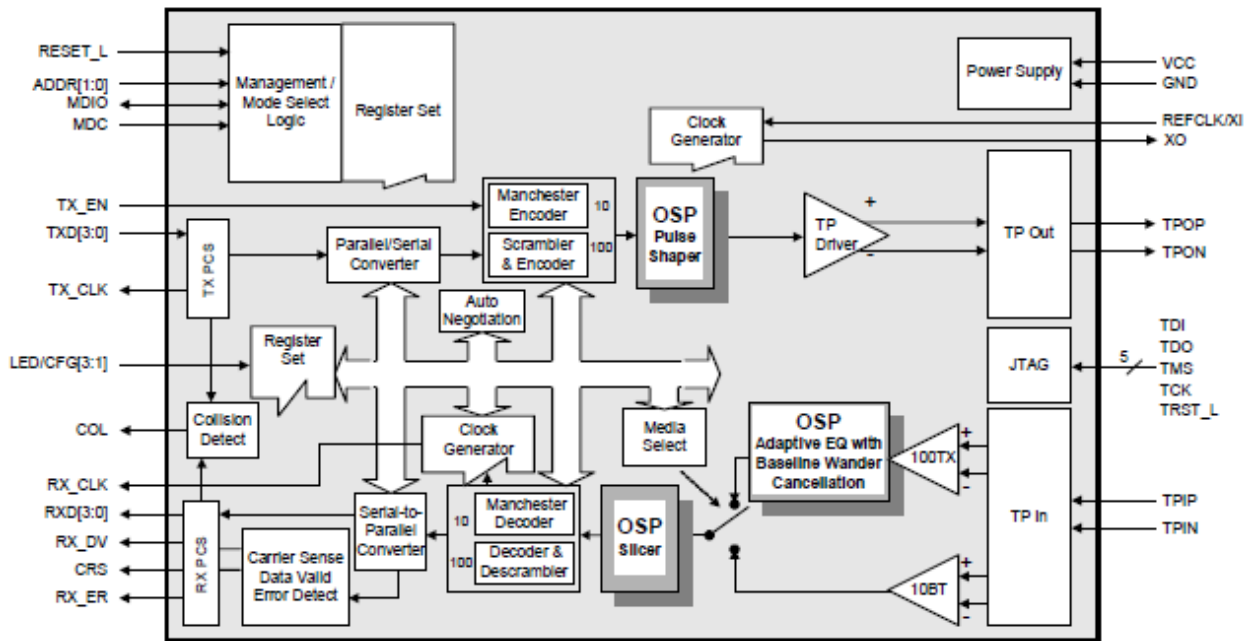
Slika 3.5 Osnovni blok dijagram za ULPI USB uređaje



Slika 3.6 Blok dijagram USB3300

3.1.7 Ethernet

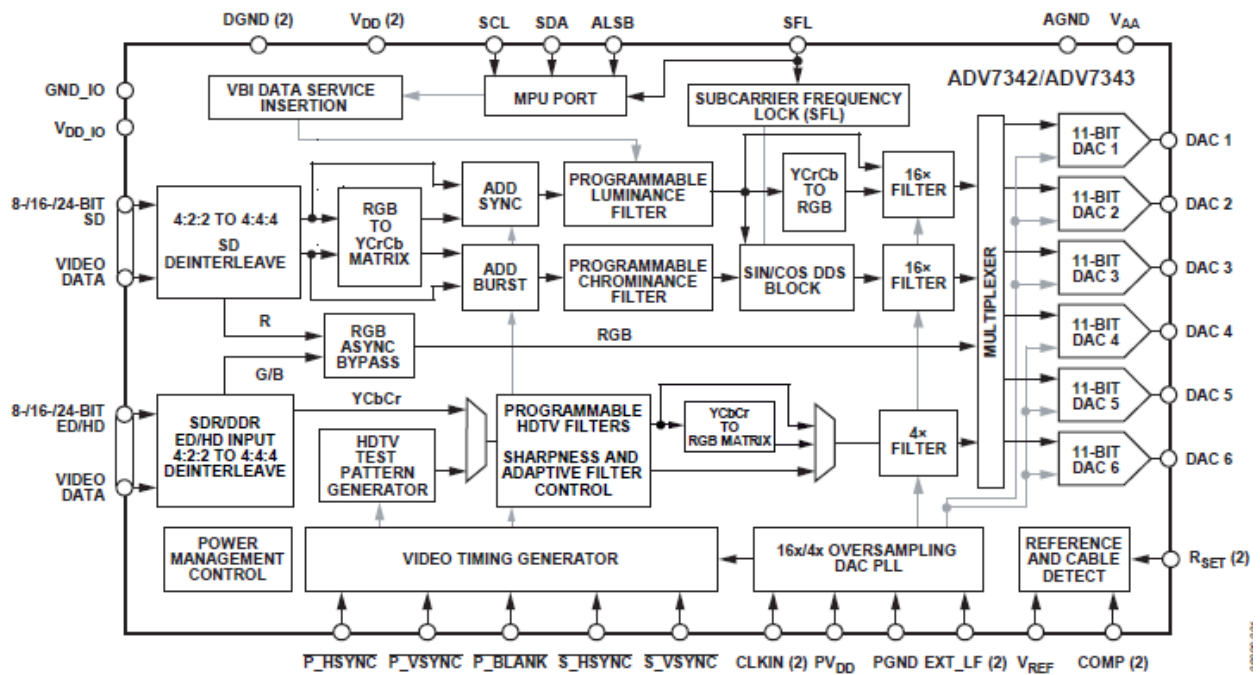
Od komunikacionih sprega na ploči postoji još i Ethernet. Sprega ulaznog Ethernet signala sa FPGA omogućena je brzim PHY primopredajnikom, proizvođača Intel, sa oznakom LXT972M. Podržane su aplikacije 100BASE-TX i 10BASE-T. LXT972M obezbeđuje standardni MII (*Media Independent Interface*) za 10/100 Mbps MAC (*Media Access Control*) protokol. Osnovne blokove ovog čipa možemo videti na slici 3.7.



Slika 3.7 Osnovni blokovi za LXT972M.

3.1.8 Video enkoder

Analogni video izlaz realizovan je RCA konektorom i odgovarajućim video enkoderom ADV7343, proizvođača "Analog Devices". Sa 6 11-bitnih D/A konvertora podržava CVBS, S-Video kao i YPrPb/RGB analogne izlaze u standardnim SD (standard definition) kao i HD (high definition). ADV7343 ima 24-bitni ulazni port koji može biti konfigurisan na različite načine. SD video format podržan je preko SDR sprege, a HD video formati preko DDR sprege. Odabiranje sa frekvencijom 216 MHz za SD i 297MHz za HD eliminiše upotrebu spolja dodatih filtera.

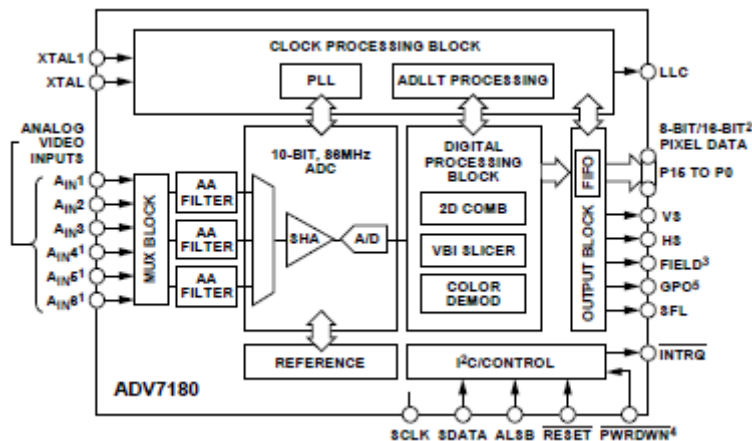


Slika 3.8 Osnovni blok za LXT972M.

3.1.9 Video dekođer

Za prijem i konvertovanje svih analognih video signala upotrebljen je video dekođer ADV7180, proizvođača "Analog Devices". Automatski prepoznaje i konvertuje standardne analogne televizijske signale kompatibilne sa NTSC, PAL, SECAM standardom u 4:2:2 komponentni video kompatibilan sa 8-bitnim ITU-R BT.656 standardom. Koristeći 10-bitni A/D konvertor obezbeđuje video odgovarajućeg kvaliteta za uređaje široke potrošnje. Opremljen je integrisanim SD (*Standard Definition*) procesorom, koji prihvata signal sa A/D konvertora. ADV7180 se programira dvožičnim, serijskim, bidirekcionom portom, I2C.

Arhitektura integrisanog kola ADV7403 prikazana je na slici 3.9.



Slika 3.9 Arhitektura video dekođera, ADV7180

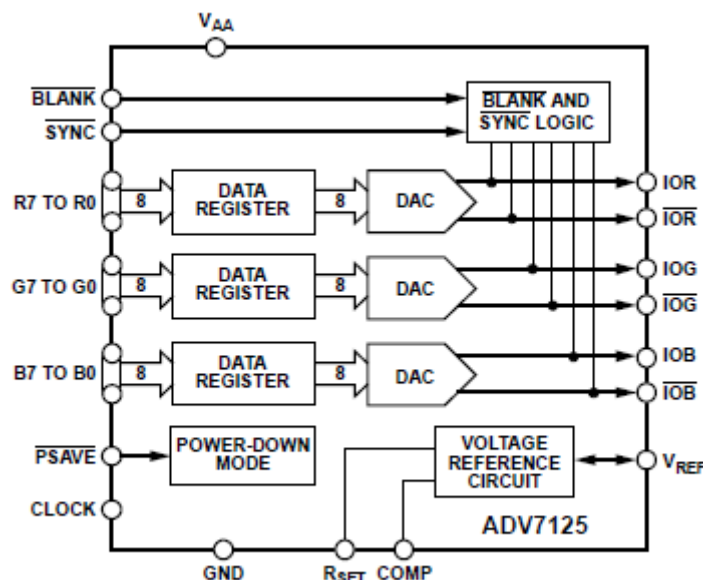
Prenos sadržaja ka FPGA taktovan je u zavisnosti od moda rada. Takt za A/D konvertor određuje se na osnovu ulaznog formata koji treba biti obrađen, kako je dato u tabeli.

Tabela 1 Zavisnost kloka od formata ulaznog videa

Input format	ADC Clock Rate (MHz)	Oversampling rate
CVBS	57,27	4x
Y/C (S-video)	86	2x
YPrPb	86	2x

3.1.10 Video DAC

VGA (*Video Graphics Array*), analogni video, realizovan preko 15-pinskog DE-15 VGA konektora i integrisanog kola ADV7125 proizvođača Analog Devices, koje ima tri odvojena 8-bitna porta, tj tri ulaza sa 8-bitnim digitalno-analognim konvertorima. Sa magistralom koja ima 24 signala koji nose podatke i kontrolnim signalima povezuje se na FPGA. Podržana rezolucija za kompjuterski standard je 640x480, kao i za video visoke rezolucije 1080p. Na slici 3.10 prikazan je funkcionalni blok dijagram odgovarajućeg čipa ADV7125.

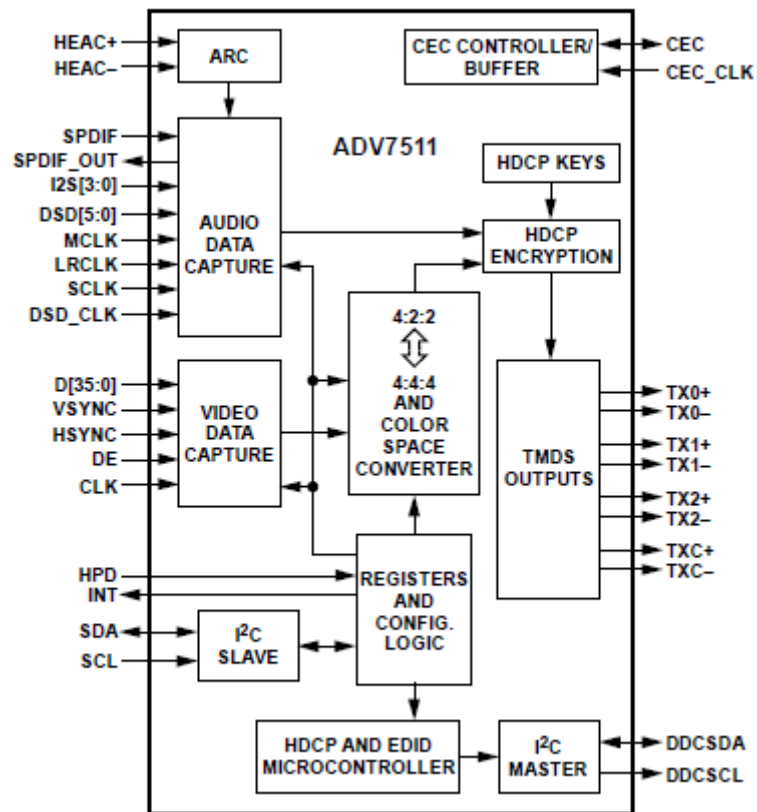


Slika 3.10 Funkcionalni blok dijagram ADV7125

3.1.11 HDMI

Za realizaciju HDMI (*High Definition Multimedia Interface*) izlaza upotrebljen je predajnik ADV7511, proizvođača "Analog Devices", koji služi za prenos digitalnog audio i

video signala. Navedeni predajnik, koji radi na 225 MHz, zastupljen je u DVD plejerima, digitalnim *set top* boksovima i računarima. Korišćena je verzija 1.4 koja podržava maksimalnu rezoluciju do 3840x2160, odnosno 4096x2160, ARC (*Audio return channel*), 3D video, kao i sve formate HDTV. Sa HDCP (*High-bandwidth Digital Content Protection*) omogućava ekstremno visok nivo zaštite sadržaja specificirano HDCP 1.4 protokolom. HDMI sprega je realizovana standardnim HDMI konektorom i predajnikom ADV7511. Podržani formati digitalnog video signala su RGB, YcbCr.



Slika 3.11 Blok šema HDMI predajnika, ADV7511

Od digitalnih audio formata podržani su SPDIF za stereo LPCM (*Linear pulse-code modulation*) ili kompresovani audio do 192 kHz i 8-kanalni nekompresovani LPCM I2S takođe do 192 kHz.

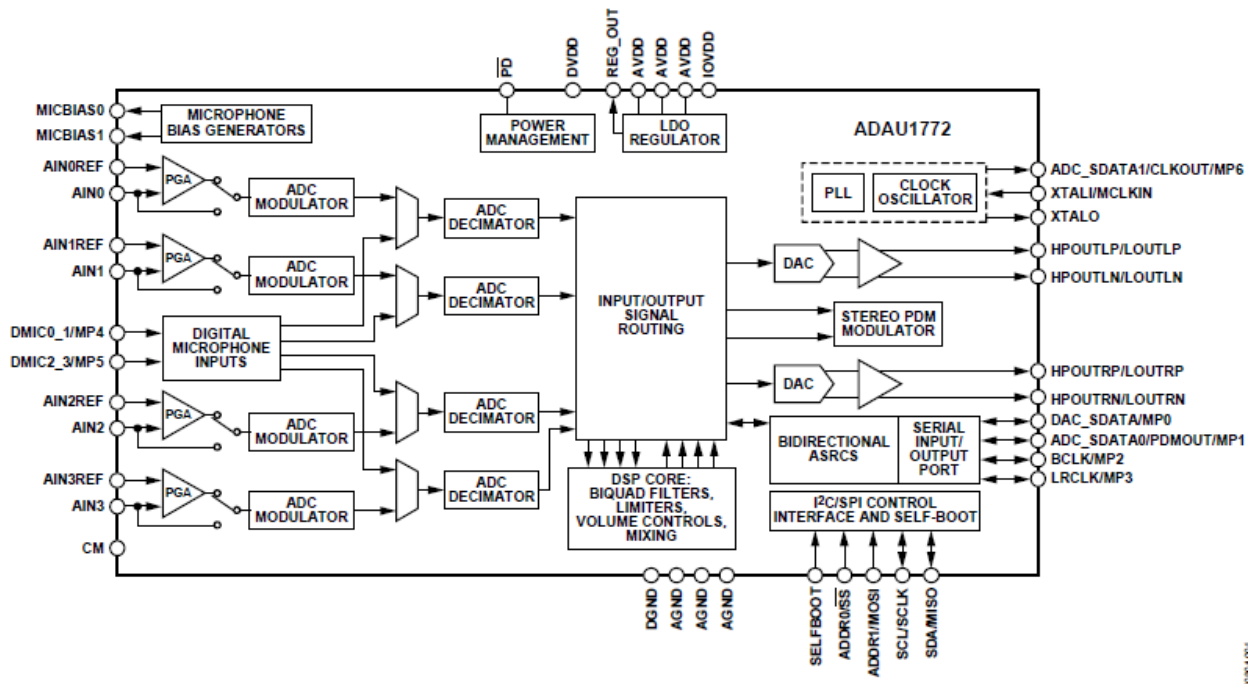
Za spregu sa FPGA koristi jednostavni digitalni protokol zasnovan na ITU656. Povezan je sa FPGA magistralom podataka sirine 16 bita. Uz dodatne kontrolne signale ove dve celine povezane su sa ukupno 28 signala.

Na ulaznom portu nalazi se i ESD (*Electrostatic discharge*) zaštita realizovana pomoću IP4776, unutar kojeg su, pored zaštite, ugrađena i kola za prilagođenje naponskih nivoa, neophodna za prilagođenje nivoa prenosnih signala.

3.1.12 Audio kodek

Audio podsistem na razvojnoj platformi realizovan je ADAU1772 kodekom, koji ima četiri ulaza sa četiri analogno-digitalna konvertora i dva izlaza sa dva digitalno-analogna konvertora, svi konvertori su 24-bitni. Učestanost odabiranja je do 192 kHz, što na serijskom portu daje mogućnost odabiranja u opsegu od 8kHz do 192kHz. Audio podsistem podržava dva digitalna ulaza, kao i analogni izlaz, čime omogućava izvođenje vežbi na razvojnoj platformi sa zvučnikom, mikrofonom i slušalicama.

Na slici 3.12 prikazana je arhitektura integrisanog kola ADAU1772.



Slika 3.12 Audio kodek, ADAU1772

3.1.13 Korisnička sprega

Komunikacija korisnika sa razvojnom platformom omogućena je korisničkom spregom kojim su date mogućnosti korišćenja 8 LED (Light-emiting diode) crvene boje, 8 prekidača, 5 tastera opšte namene i jednog koji služi kao reset celog sistema, zatim LCD (Liquid-crystal display) sa dva reda od po 16 karaktera, kao i 8 konektora sa mogućnošću priključenja žica. Na slici 3.13 prikazan je izgled dodatne ploče, na kojoj se nalaze komponente predviđene za komunikaciju korisnika sa platformom. Ta ploča se na glavnu ploču povezuje pomoću kabla, a postavlja se na prednji deo kutije kako je prikazano.



Slika 3.13 Korisnička sprega

3.1.14 Mezzanine

Deo ulazno-izlaznih pinova FPGA predviđen je za komunikaciju sa pločama koje bi se naknadno mogle priključiti na razvojnu platformu. Kako ulazno-izlazni pinovi FPGA imaju mogućnost konfigurisanja na više načina jasno je da se lako prilagođavaju raznim tipovima sprega koji se nalaze na ploči koja se priključuje na našu. Odabrani standard za proširenje platforme (u smislu unificiranja interkonekcija i mehaničkog koncepta i gabarita dodatnih pločica) je FMC (FPGA Mezzanine Card) standard predložen od strane udruženja koje čine proizvođači FPGA kola. FMC standard definiše dve različite dimenzije ploča koje se priključuju na glavnu. To su ploče dimenzije 69mm x 76.5mm koja podržava jedan konektor i 139mm x 76.5mm koja podržava do dva konektora. Postoje dva različita konektora koji se koriste kao FMC standard. To su LPC (Low Pin Count), konektor koji ima 160 pinova, od toga 68 signala koji dolaze sa FPGA i kontrolne signale, kao i JTAG signale i HPC (High Pin Count) konektor koji ima 400 pinova, od kojih je 160 povezano na FPGA. Na E2LP je primenjen LPC konektor jer u potpunosti zadovoljava potrebe ploča koje su predviđene da se priključe na ovu razvojnu, a to su:

- Ploča bazirana na ARM-u sa spregama kao što su termometar, akcelerometar kao i jednostavne ulazno izlazne sprege.
- Ploča bazirana na DSP-u (Digital signal processor) Marvell ARMADA 1500 za izvođenje vežbi u vezi digitalne obrade signala (audio, video i podataka).

3.2 Projektovanje štampanih ploča

Nakon pažljivog izbora komponenata i razvijanja šema po blokovima, pri čemu smo se, crtajući šemu, držali preporuka proizvođača komponenta za svaku pojedinačnu komponentu, pristupa se izradi štampane ploče, odnosno prototipa uređaja koji želimo da realizujemo.

Bilo da se radi o namenskim uređajima koji će se proizvoditi u serijama od nekoliko desetina ili nekoliko stotina primeraka ili uređajima potrošačke elektronike gde će serije biti i do milion primeraka proizvodnja počinje izradom nekoliko ploča prototipa uređaja. Razvijanje prototipova u što kraćem vremenskom periodu, na primer probnih pet ploča, pruža mogućnost brzog testiranja funkcionalnosti i ispravnosti ideje celog uređaja. Uočene greške se ispravljaju i nakon što imamo potpuno ispravan uređaj možemo pristupiti serijskoj proizvodnji uređaja. U nekim slučajevima prva rešenja predstavljaju sveobuhvatne razvojne platforme. Na primer, kada pravimo ploču zasnovanu na nekom čipu, na ovoj platformi razvijamo sve sprege podržane od strane čipa. Naredne verzije će, po potrebi, sadržati određeni skup sprega sa razvojne platforme, a neki će biti izostavljeni.

Projektovanje štampanih ploča za velike brzine obuhvata kontrolu nekoliko parametara [5]:

- kašnjenje signala na prijemu i smicanje signala,
- integritet signala i uparivanje impedanse sistema,
- preslušavanje,
- parametri i integritet napajanja,
- EMI.

Više o pravilima projektovanja, ograničenjima i osvrtu na probleme u vezi projektovanja nekih kritičnih sprega biće reči u narednim poglavljima. Ovde je dobro još jednom naglasiti da dobro definisana i pregledna šema predstavlja osnovu za uspešno projektovanje. Svaki proizvođač komponenata daje referentnu šemu i sva potrebna ograničenja i preporuke u vezi pozicioniranja, pravilnog povezivanja i slično. Jedan primer je zahtevana impedansa voda na izlazu čipa. Sva ta ograničenja se lako prenose na štampanu ploču definisanjem pravila u alatu u kom se radi projekat. Nakon definisanja pravila ona se korišćenjem alata lako proveravaju za čitav projekat automatski. Obzirom da ne mora obavezno ista osoba raditi šemu i štampanu ploču dobra je praksa da se sva ograničenja unesu na šemu u formi komentara koji su pažljivo pozicionirani. Ovakav pristup olakšaće projektovanje i smanjiti mogućnost greške.

3.2.1 Savremeni alati za projektovanje štampanih ploča – Altium designer

U procesu projektovanja elektronskog uređaja koriste se različiti razvojni alati čija je svrha da olakšaju i ubrzaju svaku od razvojnih faza. Uporedo sa razvojem računarskih tehnologija rasla

je i kompleksnost i složenost razvojnih alata koje koriste inženjeri. Opšti trend je naglasak na integrisanju sve većeg broja pojedinačnih razvojnih alata u jedno jedinstveno razvojno okruženje. Integrisanje pojedinačnih razvojnih alata u jedinstveno razvojno okruženje za rezultat ima standardizovanje i automatizovanje pojedinih radnji koje se obavljaju tokom procesa projektovanja. Integrisano razvojno okruženje pruža niz prednosti nad skupom pojedinačnih razvojnih alata pre svega u pogledu vremena potrebnog da se dati posao uradi, i izbegavanja mogućih problema sa kompatibilnosti formata izlaznih fajlova različitih verzija i različitih proizvođača. Takođe, sve radnje se obavljaju unutar jedinstvenog grafičkog okruženja što dodatno olakšava posao i skraćuje vreme potrebno za obuku. *Altium designer* osim klasičnih *Schematic* i *PCB* razvojnih alata nudi i razvojne alate za *FPGA*, kao i alate za simulaciju, integrisane u jedan razvojni sistem. U savladavanje kompleksnog razvojnog sistema kakav je *Altium Designer* potrebno je uložiti određeno vreme i trud, koji su ipak daleko manji nego što je potrebno za savladavanje dva ili više različitih paketa, čime se štede vreme i novac.

Nakon završene šeme u *Altium Designer*-u lako se prelazi na pravljenje štampanih ploča. Lista upotrebljenih komponenata i veza između njih se automatski generiše jednom komandom. Još je potrebno da svaka komponenta u šemi ima pridružen otisak kojim su definisane fizičke dimenzije komponente, tj prostor koji će zauzeti na štampanoj ploči, kao i dimenzije lemnih tačaka na štampanoj ploči za koje se leme nožice komponenata. Svi otisci moraju zadovoljiti IPC (*Interconnecting and Packaging electronic Circuits*) standard. IPC standardi objedinjuju pravila po kojima se vode proizvođači elektronskih komponenata, i u skladu sa navedenim standardom izrađujemo modele komponenata. Na ovaj način model svake komponente objedinjuje dimenzije kućišta, dimenzije i raspored pinova, razmak između pinova, veličinu kontakata na štampanoj ploči, dimenzije termalnog kontakta (ako to komponenta zahteva), ukupnu oblast koju zauzima komponenta, orijentaciju na štampanoj ploči i 3D model.

Kada smo u delu *Altium Designer*-a za projektovanje štampanih ploča sa svim odgovarajućim otiscima komponenata, definisanim konekcijama i imenima svih signala, lako možemo napraviti grupe signala i za svaku grupu definisati posebna pravila i za svaku zasebno koristiti alate *Altium Designer*-u. Ova opcija je posebno pogodna za grupe signala sa kontrolisanom impedansom gde se, kako ćemo kasnije videti, na osnovu definisanog "Stack up-a", definiše još širina voda. Praksa je da se definisanje ovakvih pravila, vezano za klase signala i širine vodova ključnih delova i sprega, definiše u samom startu [6]. Time će veze automatski biti tačno određene širine, tj impedanse pa nema bojazni da se napravi previd u kasnijem projektovanju. Za sračunavanje parametara vodova kontrolisane impedanse postoje posebni alati, tj programi.

3.2.2 Ograničenja

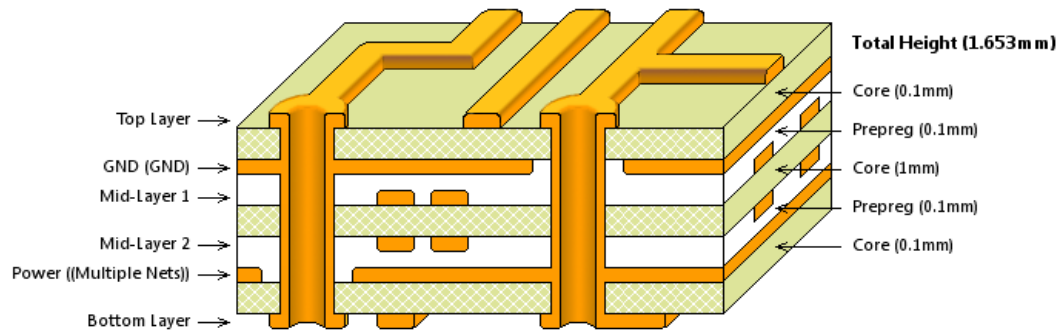
Ograničenja kojih se moramo pridržavati pri proizvodnji štampanih ploča su razna. Kreću se od onih zadatih od strane proizvođača štampanih ploča, vezanih za tehničke mogućnosti proizvođača. Mehaničkih, koji uglavnom proističu iz specifikacije uređaja. Zatim nekih električnih zahteva i na kraju tehnički zahtevi dati od strane onog ko je zadužen za lemljenje komponenata.

Da bi definisali “Stack up”, na osnovu kojeg će i biti proračunate širine vodova za vodove karakterističnih impedansi moramo imati informaciju od strane proizvođača štampanih ploča sa kojim materijalima i tehnologijama raspolaže. Pored tabele laminata koji su dostupni proizvođaču, datih uz odgovarajuće debljine i vrednosti permitivnosti ϵ_r , koje se za najčešće korišćene laminate iz FR4 grupe kreću oko 4, daje se i niz drugih ograničenja. Neka od ograničenja su:

- maksimalan broj slojeva,
- maksimalna veličina ploče,
- debljina štampane ploče,
- debljine bakra,
- minimalne debljine linija,
- minimalni razmak između linija
- minimalna veličina rupa i drugo.

Pored ovih ograničenja važne stavke su i mogućnost električnih testova na izrađenim štampanim pločama, čime se u startu odbacuje ploče sa greškom, kao i vrednosti tolerancija. Tolerancija je posebno važna za parametre ploče koji trebaju biti tačno određenih vrednosti kao što su impedanse vodova, gde se $\pm 10\%$ smatra prihvatljivim. Tolerancija preko te može biti neodgovarajuća.

Na slici 3.14 dat je izgled stack up-a za štampanu ploču realizovanu u ovom projektu. Broj slojeva štampane ploče, odnosno poprečni presek zavisi uglavnom od najzahtevnijih komponenata, a usvaja se na osnovu propisa koje daje proizvođač komponente. U ovom slučaju, na preporuku proizvođača FPGA, urađena je ploča sa 6 slojeva. Vidimo debljine izolacionog sloja 0.1mm koji je u tabeli proizvođača dat uz pridruženu vrednost permitivnosti od 4,2. Važnost debljine i permitivnosti pojedinih slojeva detaljnije je objašnjena u poglavlju o projektovanju kritičnih sprega. Željena ukupna debljina štampane ploče podešljiva je izborom debljine srednjeg jezgra (“core”), koji je najčešće od istog materijala kao i ostali laminati, u ovom primeru ukupne debljine 1mm. Birana debljina je takva da ukupna debljina ploče bude oko 1,6mm. Debljine vodova, po preporuci proizvođača štampanih ploča su 55 μ m na spoljnim slojevima, odnosno 35 μ m na unutrašnjim.



Slika 3.14 Izgled stack up-a

Kada govorimo o mehaničkim ograničenjima pre svih se misli na ograničenja u vezi dimenzija štampane ploče i rasporeda konektora. Dimenzije i oblik štampane ploče biće definisani željenom veličinom i oblikom predviđenog kućišta. Naravno u skladu sa brojem komponenata koje treba da stanu na njega. Raspored konektora proizilazi iz načina korišćenja uređaja. Potrebno je uređaj napraviti zgodnim za korišćenje i ako to, na primer, podrazumeva da se svi pristupni konektori nalaze na jednoj strani, oni će biti grupisani na jednoj bočnoj strani. Drugi zahtev odnosi se na korisničku spregu. Želja je da se promene stanja nadgledaju posebnom kamerom za potrebe pristupa na daljinu. Da bi se olakšalo nadgledanje svi elementi sprege su grupisani na posebnoj ploči koja se nalazi na prednjoj strani kutije uređaja. Na ploči postoji konektor za priključenje dodatnih ploča, koje su standardnih dimenzija, pa je potrebno raspored i dimezije glavne ploče planirati tako da se dodatne ploče nesmetano mogu priključiti. Na kraju, treba predvideti i montažne rupe.

Pojedine komponente, u pratećoj dokumentaciji, nose posebne zahteve u vezi pozicioniranja, povezivanja, napajanja, odvođenja toplote i slično. Ova ograničenja se, vezano za ovde opisani projekat, prvenstveno odnose na to da komponente koje komuniciraju na visokim brzinama treba pozicionirati dovoljno blizu jednu drugoj. Na primer komponente koje primaju USB ili HDMI signal moraju biti što bliže ulazu signala, tj konektoru, jer su te veze jako brze i trebaju biti što kraće. Naredna preporuka odnosi se na komponente za koje se pretpostavlja da će se najviše grejati, tj imati značajno otpuštanje toplote. Ove komponente trebalo bi izolovati, odnosno udaljiti od drugih koliko je to moguće. U ovom slučaju veći nivo zagrevanja očekuje se samo od FPGA pa je oko njega i predviđen određen prazan prostor. Po potrebi, može se i dodatno odvoditi toplota sa ovakvih komponenata pasivno, koristeći hladnjak, ili aktivno, nekim ventilatorom koji se dodatno montira na hladnjak. Više o savetima za uspešno projektovanje sa FPGA kolima u [7]. Posebno, komponente koje emituju visok nivo elektromagnetnog zračenja posebno se tretiraju u cilju eliminisanja smetnji.

Poslednja u nizu ograničenja dolaze kao tehnološki zahtevi za montažu. Samo male serije, od recimo 5 ploča, mogu se lemiti ručno. Za veće serije predviđa se mašinska montaža i lemljenje korišćenjem odgovarajućih peći. Ovo su procesi koji imaju svoje posebne zahteve. Pored zahtevanih dokumenata neophodnih za montažu kao što su gerberi i drugi, imamo zahteve u vezi maksimalne i minimalne veličine ploče sa kojom, onaj od koga uslugu lemljenja očekujemo, može da radi. Ne treba zaboraviti referentne tačke na ploči (Fiducial marks), koje služe za pozicioniranje mašine za montažu komponenata. Konkretni zahtev može biti recimo da se u tri ili sva četiri ugla, na određenom rastojanju od ivica postave odgovarajuće oznake. Dalje, razmak uz ivicu, na kojem nema komponenata koje se montiraju na gornjoj i donjoj površini treba biti na primer 5mm. Ukoliko to nije ispostovano treba predvideti tehnički ram oko ploče. Vije ispod BGA čipova trebaju biti prekrivene lakom itd.

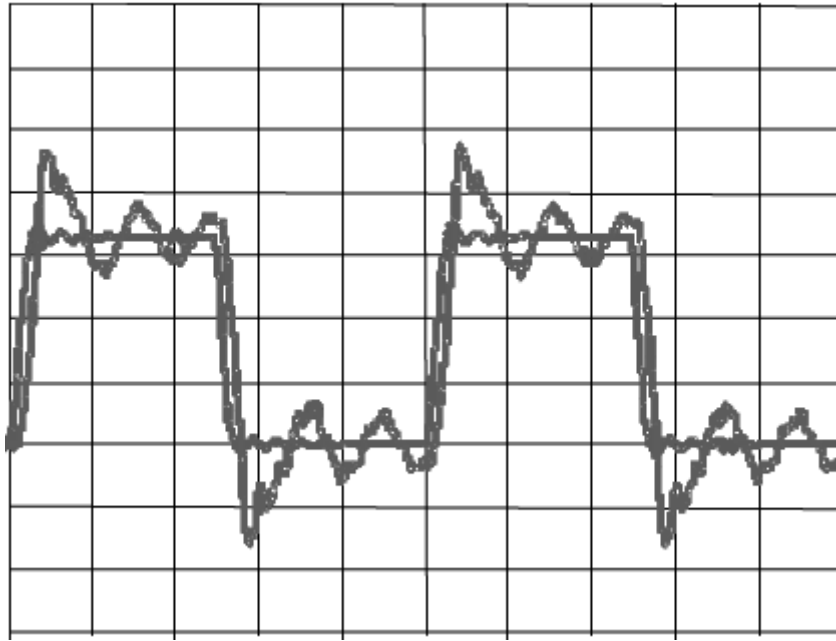
3.2.3 Kritične sprege

U celini u kojoj je opisana DDR sprega pomenuto je da je ta oblast najsloženija kada je u pitanju projektovanje štampane ploče. U toj oblasti se susrećemo sa pojavom da brzina signala prevazilazi okvire u kojima su štampane veze transparentne, odnosno, ovde postaje dominantno ponašanje koje je ekvivalentno talasovodima. Takođe, propagacija signala nije zanemarljivo kratka u odnosu na vremenske intervale koji postoje u sistemu, pa se kao konkretan primer javlja problem sinhronosti.

Frekvencije takta na kojima rade uređaji su sve veće i veće pa su i problemi sa kvalitetom signala srazmerno veći. Pri tom neprestani su zahtevi za smanjenjem vremena za projektovanje novog proizvoda. Prepoznavanje i eliminisanje potencijanih problema sa kvalitetom signala treba biti prioritet već u ranim fazama projekta, čime bi znatno smanjili šanse da uređaj na kraju ne funkcioniše kako smo predvideli. Potrebno je znati koje su to sprege sa kojima bi mogli imati problema, što se procenjuje na osnovu vrednosti takta, odnosno vremena porasta signala. Takođe upoznaćemo se i sa osnovnim principima potrebnim da se razumeju problemi u vezi očuvanja kvaliteta signala kao i rešenja problema.

O kakvom očuvanju kvaliteta se zapravo govori? Na frekvencijama takta koje se kreću do 10MHz električne karakteristike štampanih veza nisu bile važne jer nisu uticale na performanse sistema. Kada govorimo o signalima takta koji se kreću preko 100MHz, odnosno o vremenima porasta signala kraćim od 1ns, govorimo o visokim frekvencijama na kojima štampane veze više nisu transparentne i mogući su brojni problemi. Uopšteno govoreći, problemi sa kvalitetom signala zavise od načina na koji električne karakteristike štampanih veza utiču na digitalne signale, tj na oblik strujnih i naponskih signala. Neki od problema, koji nastaju zbog ovog

uticaja, su na primer neželjeno oscilovanje signala. Oscilacije nastaju pri uspostavljanju naponskog nivoa nakon nagle promene stanja, kao na grafiku na slici 3.15. Vidimo primer signala od 100MHz gde je dat oblik signala bez konekcije (ravan signal) i prilikom prolaska kroz vod na štampanoj ploči dužine 2 inch-a (signal sa oscilacijama) “ringing”. Takođe su poznati problemi i sa refleksijama signala kao i mnogi drugi.

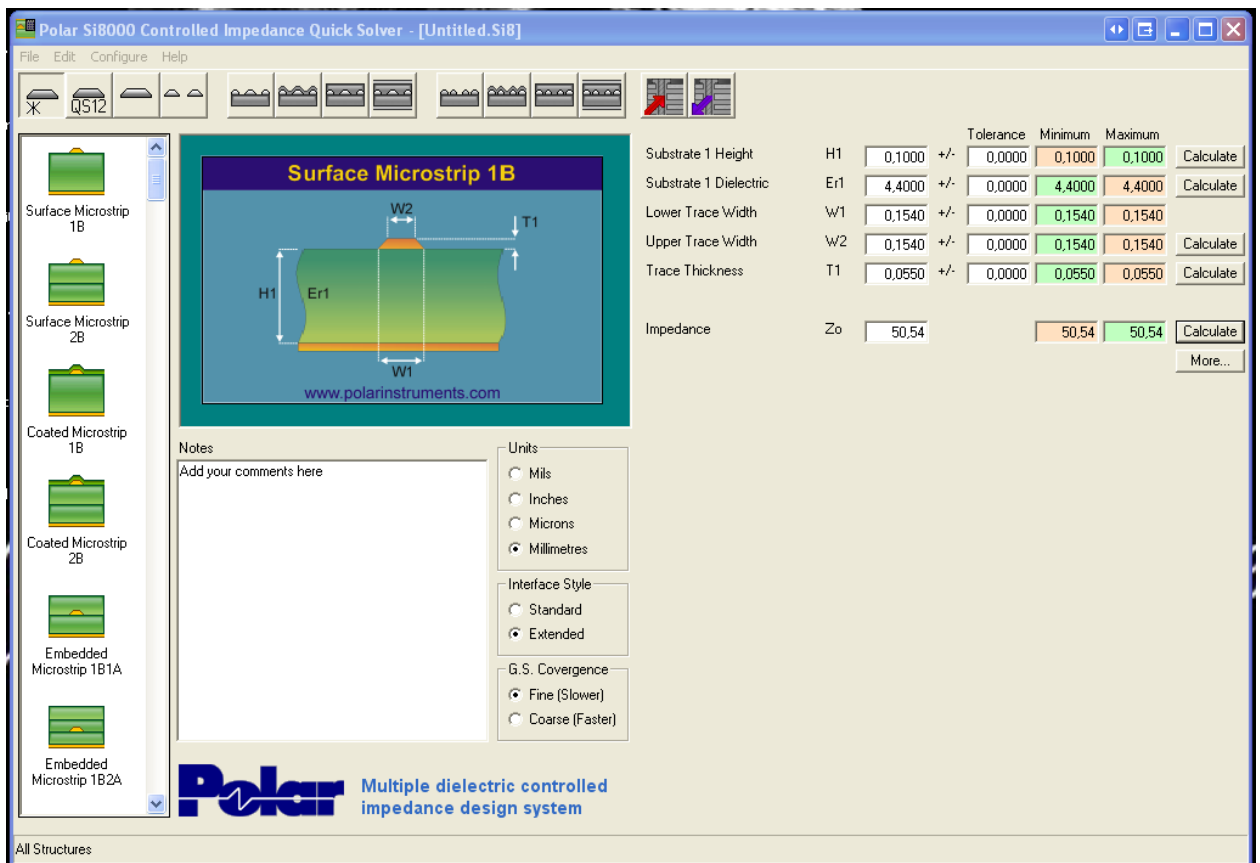


Slika 3.15 Oscilacija pri promeni stanja

Svi ovi problemi su u vezi sa električnim karakteristikama štampanih veza ili, preciznije rečeno, sa njihovom impedansom. U brzim digitalnim sistemima signal se posmatra kao promena napona ili struje. Signal na svom putu interaguje sa impedansom. Ukoliko znamo impedansu možemo predvideti način na koji će signal biti izobličen i da li će uređaj zadovoljiti specifikacije ili ne.

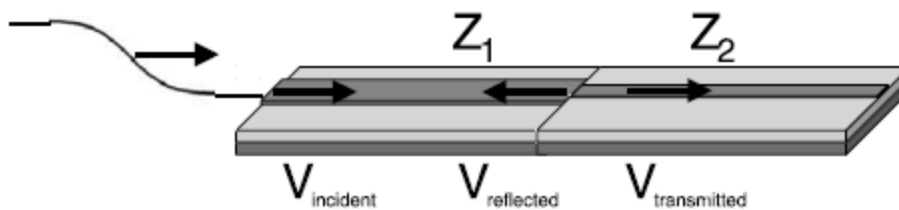
Da bi zadovoljili zahteve za kvalitetom signala moramo, dakle, voditi računa o impedansi štampanih veza. Štampane veze kontrolisane impedanse zovemo transmisionim linijama ili talasovodima. Transmisiona linija podrazumeva putanju signala od predajnika, preko voda određene vrednosti impedanse na ploči, do prijemnika, kao i povratnu putanju u suprotnom smeru. Mora postojati neprekidni referentni sloj za povratni put signala. Vrednost karakteristične impedanse i vremensko kašnjenje predstavljaju osnovna obeležja transmisionih linija. Kada se električnim signalom šalje energija duž transmisione linije, poželjno je da ona bude u potpunosti apsorbovana od strane potrošača, tj prijemnika. Ovo se može obezbediti ako izvor i potrošač imaju impedansu koja je jednaka karakterističnoj impedansi voda korišćenog za prenos. U tom slučaju govorimo o sistemu sa uparenom, prilagođenom impedansom. U protivnom, deo energije biće, na mestu potrošača, vraćen nazad u prenosnu liniju i propagacija signala će se nastaviti u

neželjenom smeru. Ovi reflektovani delovi energije mogu se, u zavisnosti od nehomogenosti i podužnog slabljenja linije, višestruko prostirati kroz provodnike i uzrokovati pojavu neželjenih signala na mestima predaje i prijema. Vrednost odgovarajuće impedanse voda za DDR spregu je 50 oma. Od čega sve zavisi ova vrednost impedanse voda možemo analizirati na primeru proračuna impedanse za DDR u odgovarajućem alatu, slika 3.16. Nakon što izaberemo odgovarajuću strukturu voda potrebno je uneti podatke vezano za fizičke karakteristike voda, ploče i sredine u kojoj se vod nalazi. Redom se unosi visina supstrata koji se nalazi između voda i njegovog referentnog sloja, vrednost njegove permitivnosti, zatim širina i debljina voda na osnovu čega se računa impedansa. Moguće je, takođe, uneti tačnu vrednost impedanse, pa na osnovu nje i drugih parametara izračunati recimo zahtevanu širinu voda da se postigne željena impedansa.



Slika 3.16 Proračun impedanse u alatu Polar

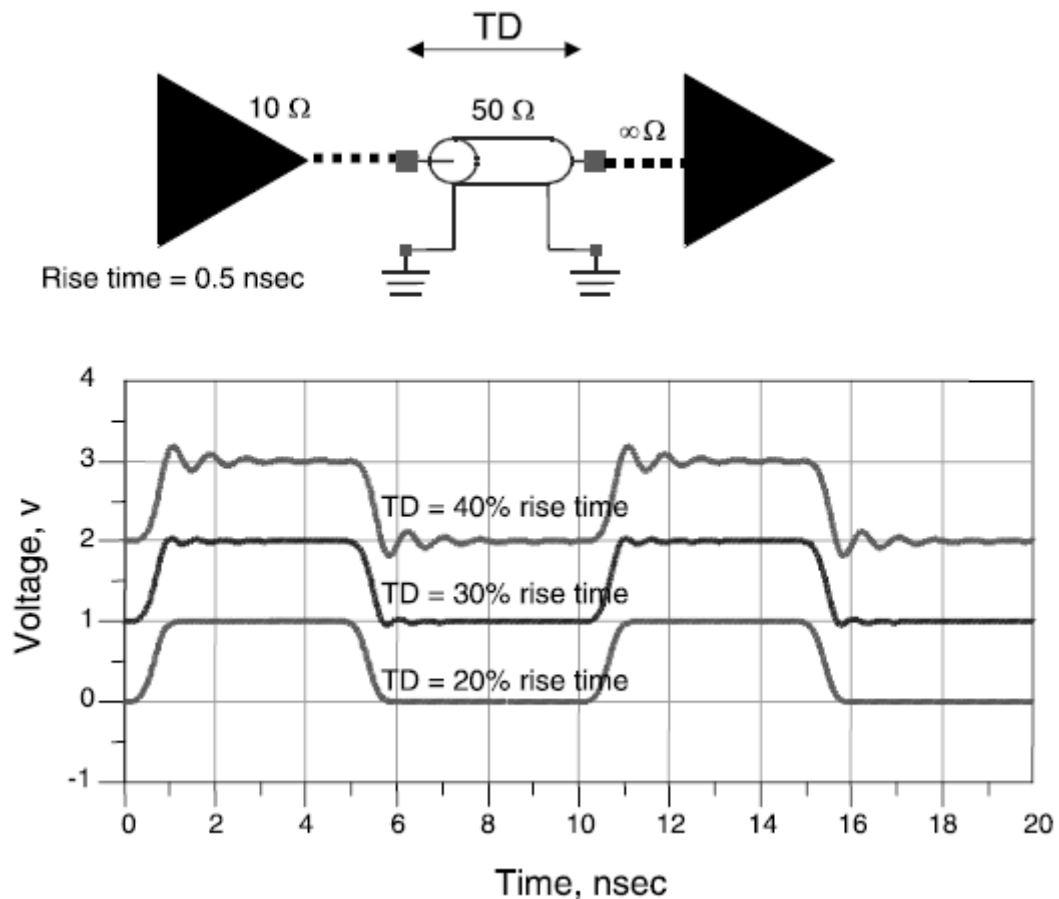
Ovo prilagođenje po impedansi direktno utiče na amplitudu signala dospelog do prijemnika. Vodovi se projektuju tako da apsorbuju refleksije signala i tada nema smetnji za prijemnik da primi validnu poruku koju šalje predajnik [8]. Ukoliko signal putuje transmisionom linijom i naiđe na promenljivu impedansu, jedan deo signala će se na mestu promenljive impedanse reflektovati nazad, a jedan deo će nastaviti dalje slika 3.17. Ovo oscilovanje signala, o kom je već bilo reči, je osnovni problem koji utiče na kvalitet signala.



Slika 3.17 Reflektovanje na mestu promene impedanse

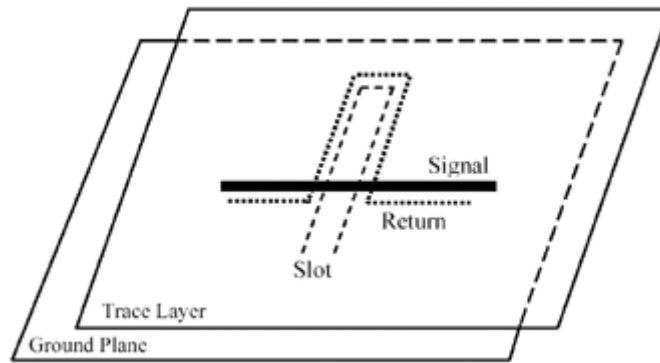
Ukoliko je izlazna otpornost predajnika manja od vrednosti impedanse voda potrebno je terminirati vod dodavanjem otpornosti čija vrednost, u zbiru sa vrednosti izlazne otpornosti predajnika, iznosi tačno koliko i impedansa voda. Bilo kakva promena impedanse duž voda izazvaće refleksije signala, intenziteta srazmernog koeficijentu refleksije. Dakle, za optimalan kvalitet signala potrebno je veze napraviti tako da signal na svom putu u svakom momentu vidi jednaku impedansu. Ono na šta ne možemo u potpunosti uticati jeste diskontinuitet na kraju voda, na strani prijemnika. Ukoliko je vod dobro terminiran oscilacije signala prouzrokovane ovim biće pod kontrolom. Terminacija upravo i rešava problem nastao zbog refleksija na prijemnoj strani.

Potrebno je razmotriti još i kada terminacija postaje neophodna, za koje frekvencije odnosno za koje vreme porasta signala. Posebno je važan odnos vremena porasta signala i vremena propagacije signala duž voda od predajnika do prijemnika. Ovaj odnos možemo analizirati [8] i kroz sliku 3.18, na primeru signala od 100MHz, merenog na kraju neterminiranog voda. Vidimo da se za vreme propagacije koje iznosi oko 40% vremena porasta signala dobijaju značajna izobličenja na kraju vodu. Generalno se za pravilo kada terminacija postaje neophodna uzima granica kada oscilacije signala počinju ozbiljno da ugrožavaju kvalitet signala. To pravilo nalaže terminiranje voda u situaciji kada je vreme propagacije veće od 20% vremena porasta signala. Na primer, ukoliko imamo signal čije vreme porasta iznosi 1ns, maksimalno dozvoljeno vreme propagacije za neterminiran vod je $20\% \times 1\text{ns} = 0.2\text{ns}$. Za FR4 materijale, gde je brzina signala oko 6 inch/ns , dobijamo maksimalnu dužinu neterminirane linije kao $6 \text{ inch/ns} \times 0.2\text{ns} = 1.2\text{inch}$. Za dato vreme porasta signala od 1ns svi vodovi duži od 1.2 inch moraju biti terminirani u smislu da izlaznoj otpornosti predajnika od 50Ω treba dodati na red otpornik od 40Ω kako bi ukupna vrednost bila 90Ω, odnosno jednaka impedansi voda.



Slika 3.18 Ilustracija potrebe za terminacijom

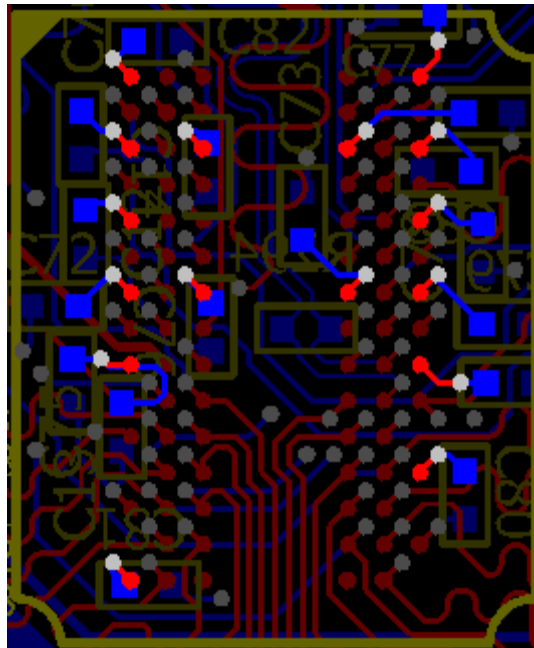
Naredna stvar o kojoj treba voditi računa, prilikom projektovanja, jeste elektromagnetna interferencija (EMI). Poznat je zaključak Faradeja da promenljivo magnetno polje, uzrokovano promenljivom strujom, može u susednim provodnicima da indukuje sličnu struju. Ovo je dobra stvar za TV i radio prijemnike, ali u projektovanju može biti i loša zbog smetnji. Naš cilj, prilikom projektovanja fizičke arhitekture, je da pojačamo ove efekte kada su korisni i da ih sprečimo kada nisu poželjni. Struja uvek zatvara put, kreće se u petljama, nema nagomilavanja elektrona, oni odnekud dolaze i nekud odlaze. Svaki signal ima povratni put, naše je da odredimo gde. Povratni put je uvek putanjom gde ima najmanje otpora signalu, putanjom najmanje impedanse. Signal ide u jednom smeru i vraća se u drugom i na taj način stvara petlju. EMI je direktno proporcionalna površini te petlje. Veća petlja znači i veće zračenje pa je naš cilj da smanjimo površinu strujne petlje. U tom smislu potrebno je brze vodove napraviti sto kraćim i obezbediti neprekidni referentni sloj kako se petlja ne bi dodatno povećavala na prekidima na povratnoj putanji kako je prikazano na slici 3.19 [9]. Obzirom da je simulacija problema iz ovog domena veoma komplikovana najbolji način za izbegavanje te vrste problema je poštovanje pravila dobrog projektovanja štampanih ploča.



Slika 3.19 Povećanje petlje zbog prekida u povratnoj putanji

U vezi sa elektromagnetnim poljem, koje zrači svaka linija kroz koju signal prolazi, javlja se još jedan problem. Preslušavanje je neželjen uticaj elektromagnetnog polja, koje putuje jednim vodom, na drugi, susedni vod. Ovaj neželjen uticaj manifestuje se šumom u susednom vodu i narušavanjem kvaliteta signala [12, 13]. Najbolji način da se ovaj uticaj izbegne jeste da se ispoštuju propisane udaljenosti vodova. Ove preporuke su date od strane proizvođača. Na primer za DDR preporuka glasi ako je širina voda W , za adresne signale DDR sprege, razmak između vodova trebao bi biti $3W$. Ukoliko se preporuke ispoštuju preslušavanja između vodova su smanjena i do 70%.

Precizni nivoi napajanja su od izuzetne važnosti za pravilno funkcionisanje integrisanih kola u sklopu štampane ploče. Dva su načina na koja se optimizuje sistem napajanja i to su: optimizovanje strukture slojeva i pravilno postavljanje kondenzatora. Niskoimpedansno napajanje je ključno za dobijanje malih, prihvatljivih oscilacija napona. Smanjivanjem rastojanja između naponskih slojeva, povećanjem njihovih površina i povećanjem permitivnosti izolatora je način za poboljšanje napajanja s aspekta projektovanja štampe. Takođe se vrednost impedanse optimizuje korišćenjem mnoštva kondenzatora malih vrednosti (1 nF i manjih). Upotrebom mnogo malih kondenzatora umesto jednog velikog za rezultat daje samnjenje parazitne induktivnosti koja prvenstveno zavisi od veličine kućišta samog kondenzatora. Kondenzatori se postavljaju što bliže pinovima integrisanog kola i to najveći mogući kapacitet u što manjem kućištu. Nakon izrade štampane ploče je lako menjati vrednosti kondenzatora u cilju smanjenja eventualnih elektromagnetnih interferencija (EMI) koje se mogu javiti usled rezonancija izazvanih samom konstrukcijom ploče. [10, 11] predlaže veličine i udaljenosti kondenzatora od integrisanog kola, kao i veličine i broj vija kojima se oni spajaju sa sistemom napajanja. Slika 3.20 prikazuje realizaciju takve preporuke u vidu postavke kondenzatora ispod DDR čipa [5].

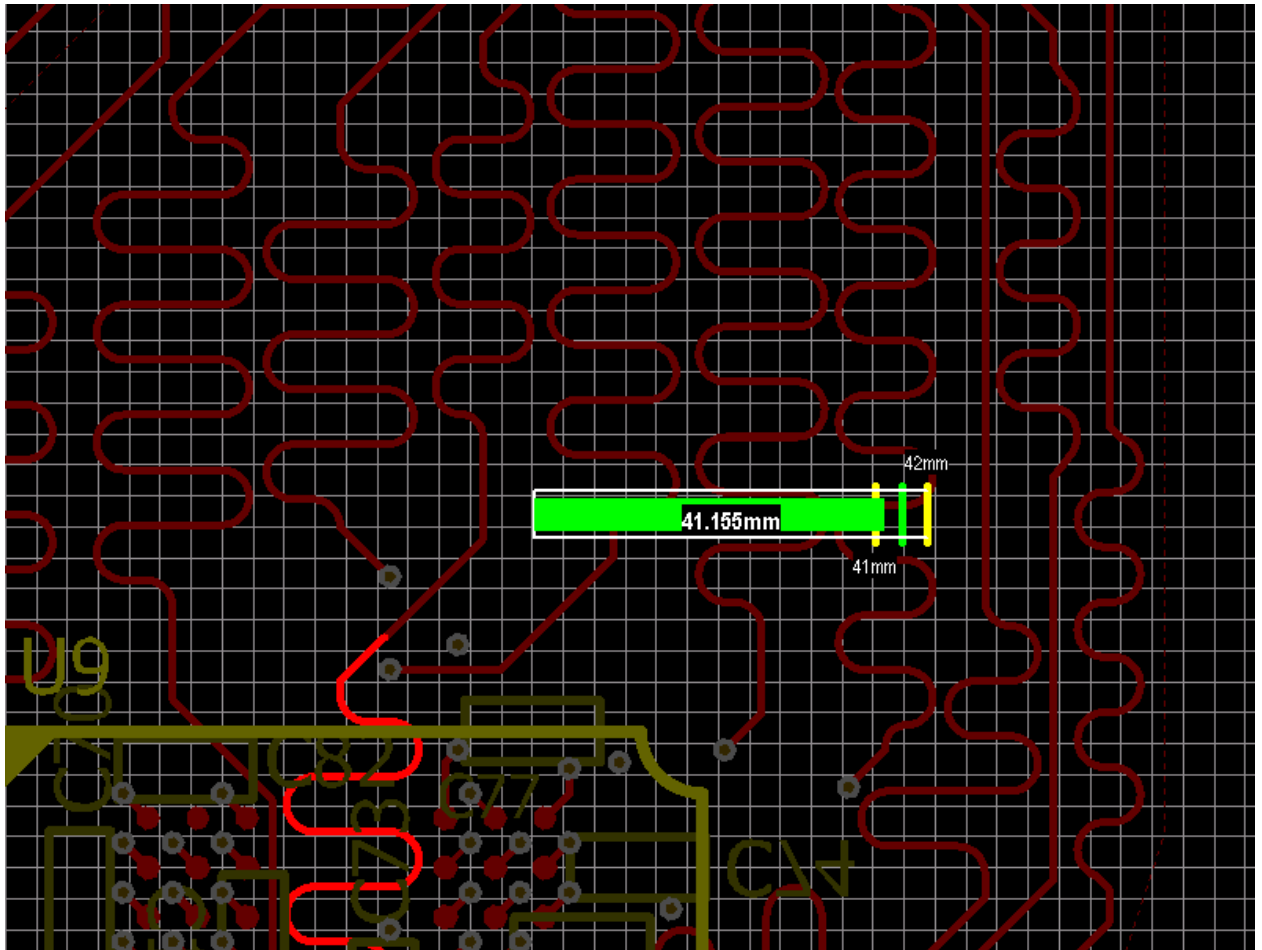


Slika 3.20 Postavka kondenzatora raznih vrednosti naspram DDR čipa

Selektovani pinovi na BGA kućištu su pinovi napajanja čipa. Možemo uočiti pored svakog od njih kondenzatore. Njihova tipična vrednost je 100nF.

Naredni problem predstavlja jedan od osnovnih problema kod štampanih ploča za brze signale. Odnosi se na problem kašnjenja i smicanja ivice signala. Na njih se utiče pravilnom postavkom komponenti na ploču kao i pravilnom izvedbom rutiranja i topologije samih signala. U [10,11] je preporučen dizajn štampane ploče za DDR module koji daje maksimalnu dozvoljenu udaljenost predajnika i prijemnika signala na kojoj može da se kontroliše smicanje i kašnjenje signala. Takođe je data preporuka za određene grupe signala u odnosu na takt. Preporuka se odnosi na dozvoljeno vremensko odstupanje pristizanja signala na adresnim linijama i linijama podataka u odnosu na ivicu takt signala. Ovaj zahtev se zapravo ispunjava poravnanjem dužina određenih grupa signala, npr. adresni signali se ne smeju međusobno razlikovati više od određene dužine [5], takođe se daje i maksimalno odstupanje njihove dužine u odnosu na signal takta. Izvedba ovih preporuka u *Altium Designer* alatu se svodi na dobro definisanje pravila za rutiranje, širine i dužine vodova, razmake između različitih grupa signala, kao i planiranje dovoljno prostora za samo rutiranje i postavljanje komponenti. Nakon povezanog najkritičnijeg signala takta, treba ostale grupe signala prilagoditi njegovoj dužini, ali isto tako treba voditi računa da postoje određene preporuke za odnose između tih grupa signala (podaci, adrese, kontrolni signali) [10,11]. Na osnovu definisane dužine kritičnog voda i u skladu sa preporukama proizvođača, alat pruža mogućnost da se izvedu razne vrste serpentina u cilju izjednačavanja dužina vodova. Moguće je menjati vrednost amplitude kao i razmake između

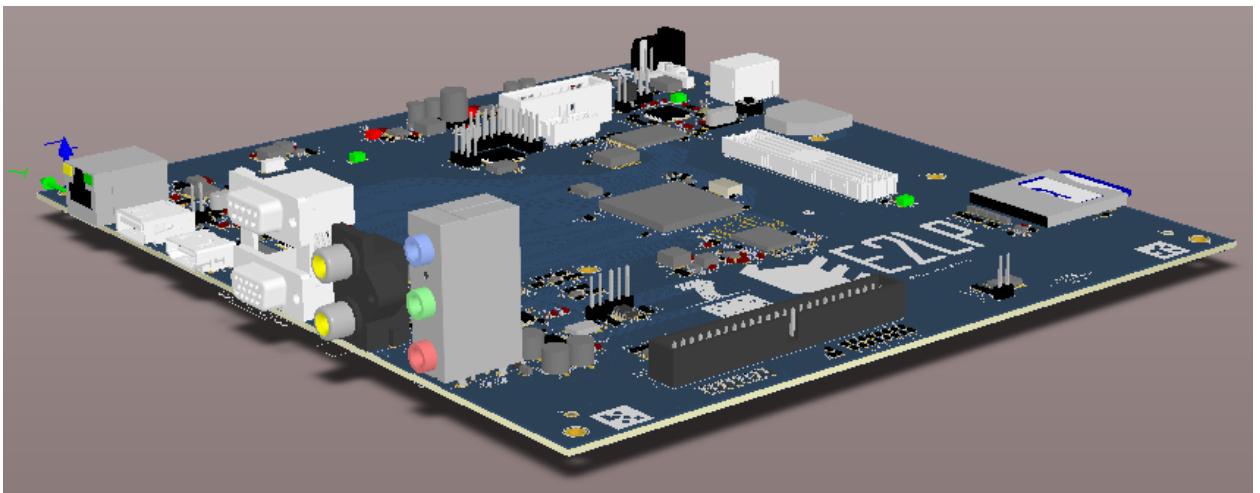
elemenata serpentina da bi se obezbedilo poštovanje preporuka za bezbedno rutiranje. Na slici 3.21 je prikazano izjednačavanje dužine na nivou pojedinačnih vodova, ali isto ovo važi i za diferencijalne parove kod kojih se zahteva izjednačavanje. Nakon što smo sve signale povezali nalazimo najdužu putanja i sve ostale, kraće, ravnamo po toj, tj dok ne dođu u opseg definisan pravilom u *Altium Designer*-u. U ovom slučaju opseg dužina u kom trebaju biti sve linije je od 41mm do 42mm.



Slika 3.21 Izjednačavanje dužine signala u Altium Designer-u

3.3 Kućište za uređaj

Kada smo završili sa štampanom pločom treba projektovati odgovarajuće kućište u koje će uređaj biti smešten. To je svakako posao za odgovarajuće stručnjake, ovde ćemo samo napomenuti mogućnost generisanja jednog korisnog fajla, za tu namenu, iz Altium-a. Altium ima mogućnost 3D prikaza. Svaka komponenta ima 3D model sa preciznim dimenzijama. To nam pruža mogućnost vizuelne provere pozicioniranja i razmaka između komponenata. Takođe se može definisati i odgovarajuće pravilo za automatsku proveru horizontalne kao i vertikalne udaljenosti komponenata. 3D prikaz, sa realnim dimenzijama, može se snimiti kao poseban format, STEP fajl. Ovaj fajl se koristi, od strane mašinskih inženjera, za crtanje metalnih kućišta u programima kao što je SolidWorks. Primer 3D modela prikazan je na slici 3.18



Slika 3.22 3D model ploče

Na slici 3.23 vidimo prikaz uređaja u formi u kojoj će se naći u laboratorijama za izvođenje vežbi. Dodatna ploča, sa korisničkom spregom na sebi, montirana je na prednju stranu kutije. Bočne strane su sa otvorima za konektore, dok je na zadnjoj strani otvor predviđen za hlađenje. Osnovna ploča nema posebnih zahteva za hlađenje. Čitav sklop, za pojedine vezbe, može sadržati i dodatnu ploču sa procesorom za obradu slike, koji se greje i ima za tu namenu i odgovarajući hladnjak. Ukupno grejanje osnovne ploče u toj situaciji može zahtevati neki vid odvođenja toplote, otuda i otvor na zadnjoj strani kutije. Gornja strana kutije je od providnog klirita. Otvor koji ima u sebi predviđen je za pristup odgovarajućim konektorima.



Slika 3.23 Gotov uređaj

3.4 Testiranje uređaja

Kada se završi sa montažom komponenata imamo jednu celinu, uređaj, koji treba testirati. Zato će nam trebati i odgovarajuća oprema. Osnovna oprema uključuje izvor napajanja, univerzalni merni instrument, osciloskop i naravno računar sa odgovarajućim razvojnim okruženjem za rad sa FPGA i programskom podrškom. Neki naredni testovi zahtevaće i izvor video signala. Za potvrdu ispravnosti uređaja potrebno je uraditi niz testova. Rezultat testa može biti prošao ili nije prošao. Svi testovi moraju proći uspešno da bi neku ploču proglasili ispravnom. Ukoliko neke sprege ne prolaze testove one se dodatno analiziraju radi pronalaženja greške.

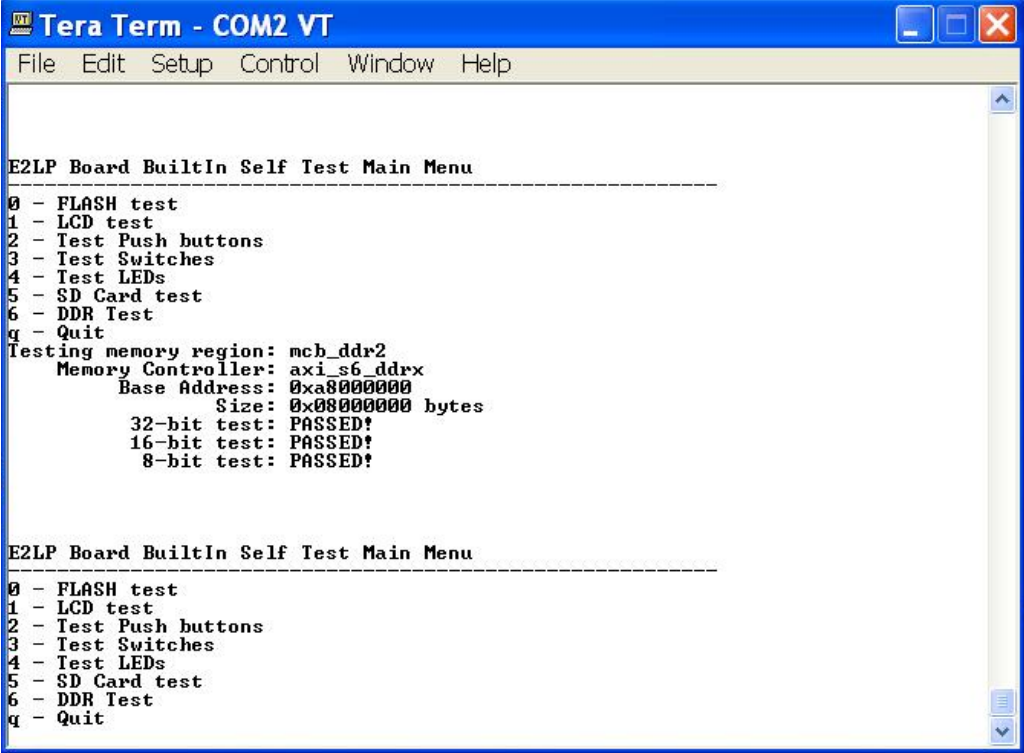
Prvi u nizu testova je provera napona napajanja. Da bi bilo koji sistem ispravno funkcionisao potrebno je da ima dobre vrednosti napona napajanja, zadovoljavajuće malu talasnost istih, kao i taktove. Provera napajanja započinje ispitivanjem kratkih spojeva izlaza napajanja prema masi. Ukoliko postoji greška, tj kratak spoj, treba ga pronaći. Ukoliko ne postoji možemo uređaj priključiti na napajanje. Laboratorijski izvori odmah pokazuju potrošnju uređaja. Ukoliko je ona iznad predviđenih granica, tj uređaj vuče veću struju, imamo jasnu indikaciju da nešto na ploči ne valja. Na uređajima koji imaju normalnu, očekivanu potrošnju merimo sve relevantne napone. Kada je potvrđeno da su svi naponi na projektovanim vrednostima možemo, za najosetljivije, kao što je napajanje jezgra FPGA, osciloskopom meriti talasnost istog. Nakon toga, takođe osciloskopom, treba proveriti taktove važne za sistem. Zatim slede osnovne provere vezane za FPGA. Prva je provera da li se FPGA vidi na JTAG-u, tj da li se vidi JTAG lanac, koji obično sadrži još i memoriju iz koje se FPGA konfiguriše, a može na istom lancu imati i još neke uređaje. Sledeći test je konfigurisanje FPGA, prvo provera mogućnosti konfigurisanja preko JTAG-a, a zatim i provera mogućnosti konfigurisanja iz, za to predviđene, FLASH memorije.

Nakon što smo utvrdili ispravnost FPGA pristupamo funkcionalnom testiranju pojedinačnih sprega. Lista sprega i opis korišćenih testova je sledeća:

- test za DDR – provera ispravnosti funkcionisanja DDR memorije, čime potvrđujemo da su magistrale adresa i podataka ispravno povezano. Test se sastoji od upisa sadržaja u memoriju i čitanja istog. Upisan i iščitani sadržaj moraju biti identični.
- test za FLASH – Identičan test kao za DDR
- test za CVBS – Korišćen je STB kao generator CVBS signala. CVBS izlaz STB-a je povezan na CVBS ulaz uređaja. Preko dekodera odgovarajući signal dolazi do FPGA, gde se prosleđuje na enkoder, odnosno CVBS izlaz uređaja koji možemo pratiti na TV-u. Potvrda ispravnosti je ispravna slika na TV-u.
- test za AUDIO – test za audio sastoji se iz dva dela. Prvi je sličan testu za CVBS. Pravi se povratna petlja. Signal se dovodi na audio ulaz, prosleđuje na drugi kanal za izlaz i proverom ispravnosti zvuka vrši se provera ispravnosti bloka. Drugi test vezan je za generisanje digitalne sinusoide u FPGA, koja se preko I2S veze prenosi do audio čipa, koji generiše analogni signal za izlaz.
- test za VGA – slika se generiše u FPGA i šalje na DAC, koji ga prosleđuje na izlaz. Izlazna slika može se videti na monitoru priključenom na uređaj. Ispravnost sprege potvrđuje se ispravnošću slike.
- test za ETHERNET – provera veze PC-ja sa uređajem preko fiksnih IP adresa

- test za HDMI – xilinx-ov test program, prosleđuje na TV sliku koja je prethodno smeštena u DDR.
- test za UART – svaki test program ima odgovarajući ispit na terminalu, preko UART-a.
- test za USB – test program podrazumeva da je uređaj povezan na PC. U FPGA se spušta test koji pomera kursor miša na pritisak tastera, u smeru koji zavisi od toga koji taster je pritisnut.
- test za MMC – podrazumeva test upisa i čitanja sa kartice.
- test za Display – ispis različitih karaktera na njemu.
- test za diode – proveru ispravnosti menjanjem stanja uključeno – isključeno.
- test za tastere i prekidače – čitanje stanja tastera i prekidača i ispis tog stanja u komandnoj liniji.

Kao primer, test DDR memorije obuhvata upis i čitanje validnog sadržaja na celom memorijskom prostoru. Upis se radi sa predviđenom radnom frekvencijom DDR-a. Pokretanjem test aplikacije upisuje se sadržaj u memorijski prostor DDR-a, zatim čita i proverava tačnost pročitanih podataka. Nakon uspešnog testa, u okviru testne aplikacije se pojavljuje poruka passed, kao na slici 3.24.



```
Tera Term - COM2 VT
File Edit Setup Control Window Help

E2LP Board BuiltIn Self Test Main Menu
-----
0 - FLASH test
1 - LCD test
2 - Test Push buttons
3 - Test Switches
4 - Test LEDs
5 - SD Card test
6 - DDR Test
q - Quit
Testing memory region: mcb_ddr2
Memory Controller: axi_s6_ddrx
Base Address: 0xa8000000
Size: 0x08000000 bytes
32-bit test: PASSED!
16-bit test: PASSED!
8-bit test: PASSED!

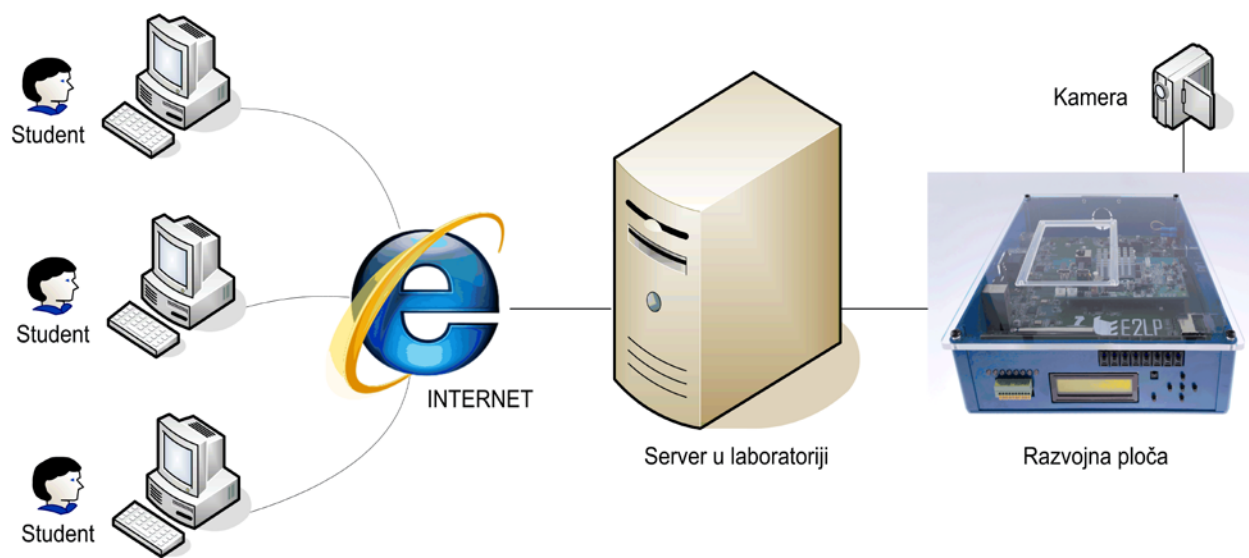
E2LP Board BuiltIn Self Test Main Menu
-----
0 - FLASH test
1 - LCD test
2 - Test Push buttons
3 - Test Switches
4 - Test LEDs
5 - SD Card test
6 - DDR Test
q - Quit
```

Slika 3.24 Rezultat testa

4. Pristup na daljinu

Rad sa odgovarajućom opremom u laboratorijama pruža studentima praktična iskustva koja su izuzetno važan deo obrazovanja. Međutim, laboratorijska oprema je poprilično skupa, a i organizacija korišćenja i pristupa odgovarajućoj opremi često su ograničeni. Potrebe studenata su uglavnom takve da zahtevaju pristup opremi, između ostalog i razvojnoj platformi, bilo kad u toku dana, svakog dana u nedelji, uključujući i pristup sa udaljenog mesta.

Analizirajući zahteve razvijen je koncept koji zadovoljava sve navedene potrebe. Razvojna ploča bazirana na FPGA, uz odgovarajuću dodatnu opremu i programsku podršku, pruža mogućnost programiranja i nadgledanja izvršavanja procesa preko interneta. U osnovnom slučaju razvojna ploča je povezana na lokalni server, koji se nalazi u laboratoriji, preko USB-a, preko kojeg server računar komunicira sa mikrokontrolerom koji se nalazi na razvojnoj ploči. Mikrokontroler ima mogućnost programiranja FPGA, zatim upravljanja korisničkom spregom, kao i opciju nadgledanja nivoa svih napona na ploči. Sa druge strane, student se preko interneta, ukoliko ima pristup odgovarajućoj stranici, u svako doba može povezati na server u laboratoriji. Kada se jednom poveže student vidi iste sprege i okruženje kao i server koji se nalazi u laboratoriji. Slika 4.1 šematski prikazuje način veze između korisnika-studenta i razvojne platform. U zavisnosti od potreba konkretne vežbe konekcija može uključiti i odgovarajuću dodatnu opremu, tj instrumente. Kamera postavljena u laboratoriji pruža uvid u stanje ploče kao i mogućnost čitanja sa instrumenata.



Slika 4.1 Povezivanje preko interneta

5. Zaključak

U ovom radu dat je opis fizičke arhitekture univerzalne platforme za izučavanje ugrađenih računarskih sistema. Sam projekat je podeljen na blokove, nakon čega su razvijane šeme za svaki blok pojedinačno. Za svaku spregu pojedinačno navedeno je od čega se sastoji i tip sprega sa FPGA, kao i osnovne karakteristike odgovarajućeg sprega. Zatim je pažnja posvećena pravljenju štampane ploče, osnovnim preporukama i ograničenjima pri pravljenju istih. U posebnom odeljku o kritičnim spregama predloženi su problemi i rešenja u vezi sa projektovanjem najzahtevnijih delova, kao što je na primer DDR. Na kraju, dati su komentari u vezi montaže i plan testiranja i opis testova korišćenih pri verifikaciji platforme.

Sprovedena je anketa, među profesorima i studentima, na fakultetima na kojima postoje slični predmeti u vezi ugrađenih računarskih sistema. Analizirane su potrebe i iskustva u radu sa već postojećim platformama, njihove prednosti i mane, kao i prednosti i mane različitih pristupa izučavanju. Kao rezultat ove analize nastao je E2LP koncept i E2LP platforma. Razvojnou platformom opisanom u ovom radu pokriven je ceo jedan ciklus vežbi vezanih za ugrađene računarske sisteme, digitalnu obradu signala, digitalne sisteme, sistemsko i aplikativno programiranje, kao i računarske mreže i sprega. Rad na ovoj platformi pružiće studentima neophodna iskustva za projektovanje složenijih sistema u mnogim granama industrije.

Dobro opremljene laboratorije su izuzetno važan preduslov za kvalitetno izvođenje nastave. Potvrda teoretskih znanja i ideja kroz neposredan rad sa opremom je najzanimljiviji i najkorisniji deo svakog kursa. Koncept pristupa na daljinu donosi dodatnu pogodnost. Sva oprema koja postoji u laboratorijama sa ovim konceptom dostupna je za rad u svakom momentu. Takođe, pristup na daljinu daje mogućnost korišćenja i onim studentima koji inače uopšte nemaju pristup laboratoriji, ukoliko studiraju na daljinu na primer. Sve što je potrebno jeste pristup odgovarajućoj internet stranici.

Platforma je napravljena tako da u potpunosti prati zahteve nekoliko kurseva na fakultetima na kojima je sprovedeno testiranje. Njena upotreba na nekim drugim kursevima može zahtevati i dodatne ulaze i izlaze. Prvo potencijalno rešenje novonastalih zahteva dato je preko mogućnosti da se bilo koja ploča koja koristi konektor koji zadovoljava FMC LPC standard priključi na nju i sa sopstvenim spregama donese nove funkcionalnosti celokupnom sistemu. Dakle radi se o projektovanju dodatne ploče. Druga opcija je delimična promena zahteva projekta osnovne ploče gde bi neke sprege bile izbačene, a dodate nove.

6. Literatura

- [1] I.K. M. Temerinac, K. Skala, B. Medved Rogina, L. Reindl, F. Souvestre, M. Anastassova, R. Szewczyk, J. Piwinski, J. R. Lopez Benito, E. A. Gonzalez, N. Teslic, V. Sruk, M. Barak, "E2LP: A Unified Embedded Engineering Learning Platform", IEEE Digital System Design (DSD), Los Alamitos, CA, USA, 2013, pp. 266-271.
- [2] M.B. I. Kastelan, V. Sruk, M. Anastassova, M. Temerinac, "An Approach to the Evaluation of Embedded Engineering Study Programs", IEEE Information & Communication Technology Electronics & Microelectronics (MIPRO), Opatija, 2013, pp. 742-747.
- [3] N.T. I. Kastelan, M. Temerinac, "Generic Processor for Unified Computer Engineering Learning Platform", IEEE Global Engineering Education Conference (EDUCON), Berlin, 2013, pp. 652-655.
- [4] <http://www.xilinx.com/tools/microblaze.htm>, [pristupljeno: januar 2014].
- [5] I.R. Danko Miočinović, Dušan Majstorović, "Transformacija preporuka i ograničenja proizvođača integrisanih kola u realni dizajn štampanih ploča pomoću alata altium designer", 54th ETRAN Conference, Donji Milanovac, Serbia, 2010.
- [6] I.R. Danko Miočinović, Mihajlo Katona, "Modern Embedded Electronics (PCB) for a Small-volume Production", 5th European Conference on Circuits and Systems for Communications (ECCSC'10), Belgrade, Serbia, 2010.
- [7] http://www.cadence.com/rl/resources/white_papers/fpga_wp.pdf, [pristupljeno: januar 2014].
- [8] E. Bogatin, Signal and Power Integrity, Michigan, USA, 2009.
- [9] D. Brooks, Signal integrity issues and printed circuit board design, 2003.
- [10] <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.172.2317&rep=rep1&type=pdf>, [pristupljeno: januar 2014].
- [11] <http://www.ti.com/lit/an/spraaa7e/spraaa7e.pdf>, [pristupljeno: januar 2014].
- [12] <http://www.ti.com/lit/ug/spru889/spru889.pdf>, [pristupljeno: januar 2014].

-
- [13] L.W. Ritchey, RIGHT THE FIRST TIME, a practical handbook on high speed PCB and system design, 2003.